

ELECTRÓNICA DIGITAL

TEMA 2

ÁLGEBRA LOGICA

Enrique Mandado Pérez

OPERACIONES BÁSICAS DEL ÁLGEBRA LÓGICA

b	a	O
0	0	0
0	1	1
1	0	1
1	1	1

a)

Operación O

b	a	Y
0	0	0
0	1	0
1	0	0
1	1	1

b)

Operación Y

a / a

0 1

1 0

Inversión

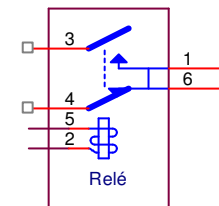
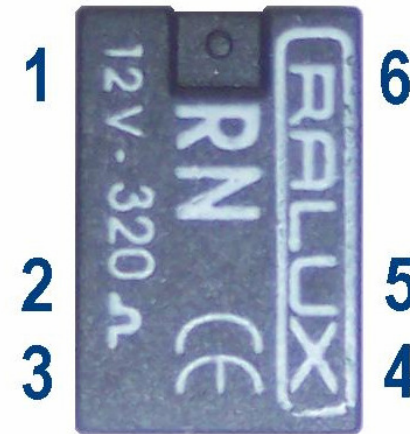
ÁLGEBRA LÓGICA (DE BOOLE)

OPERACIONES

Suma lógica: Paralelo de contactos

Producto lógico: Serie de contactos

Inversión : Contacto inverso



ÁLGEBRA LÓGICA

SP: *Single Pole*

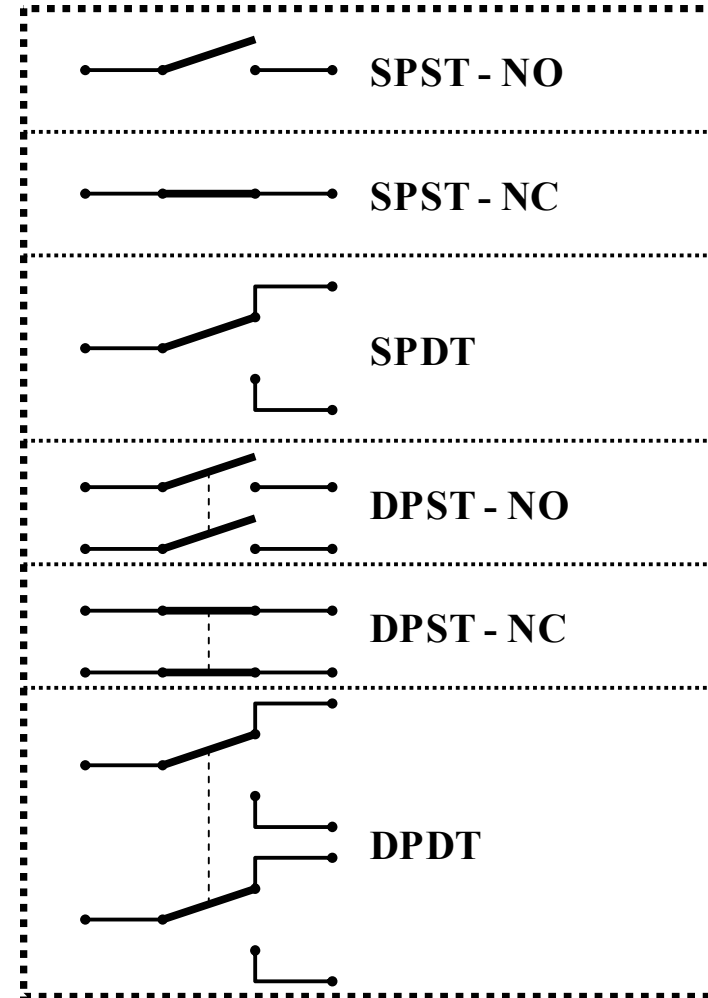
DP: *Double Pole*

ST: *Single Through*

DT: *Double Through*

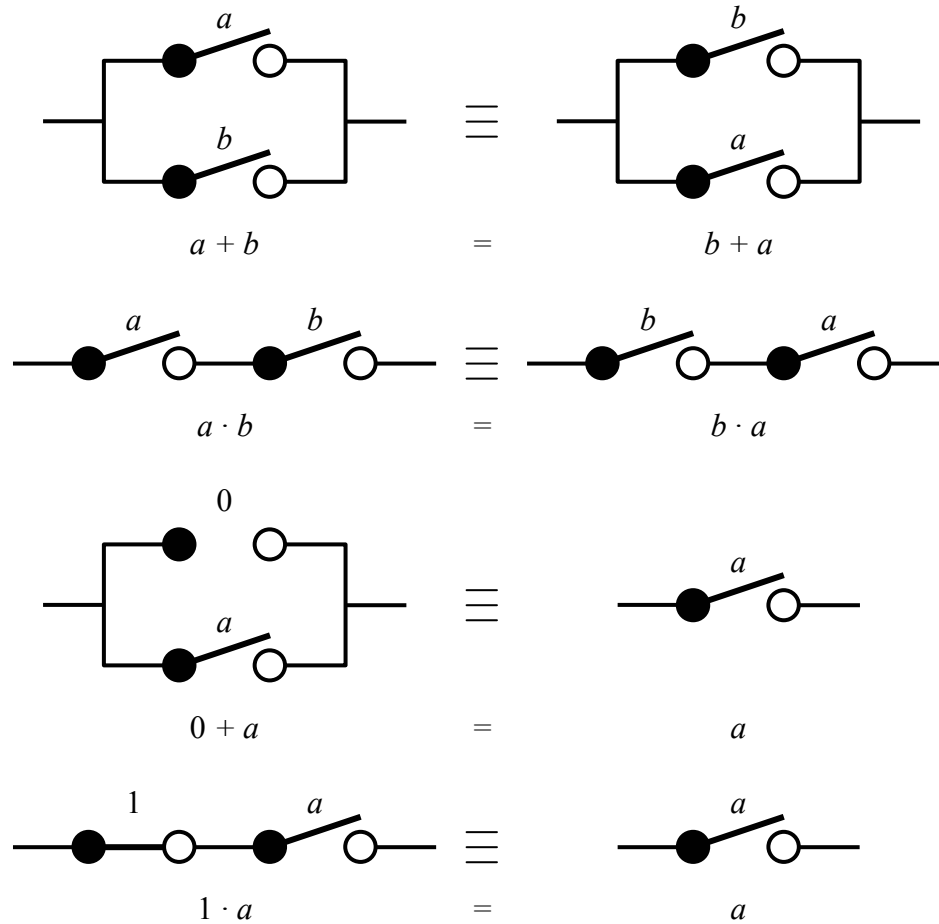
NO: *Normally Open*

NC: *Normally Close*



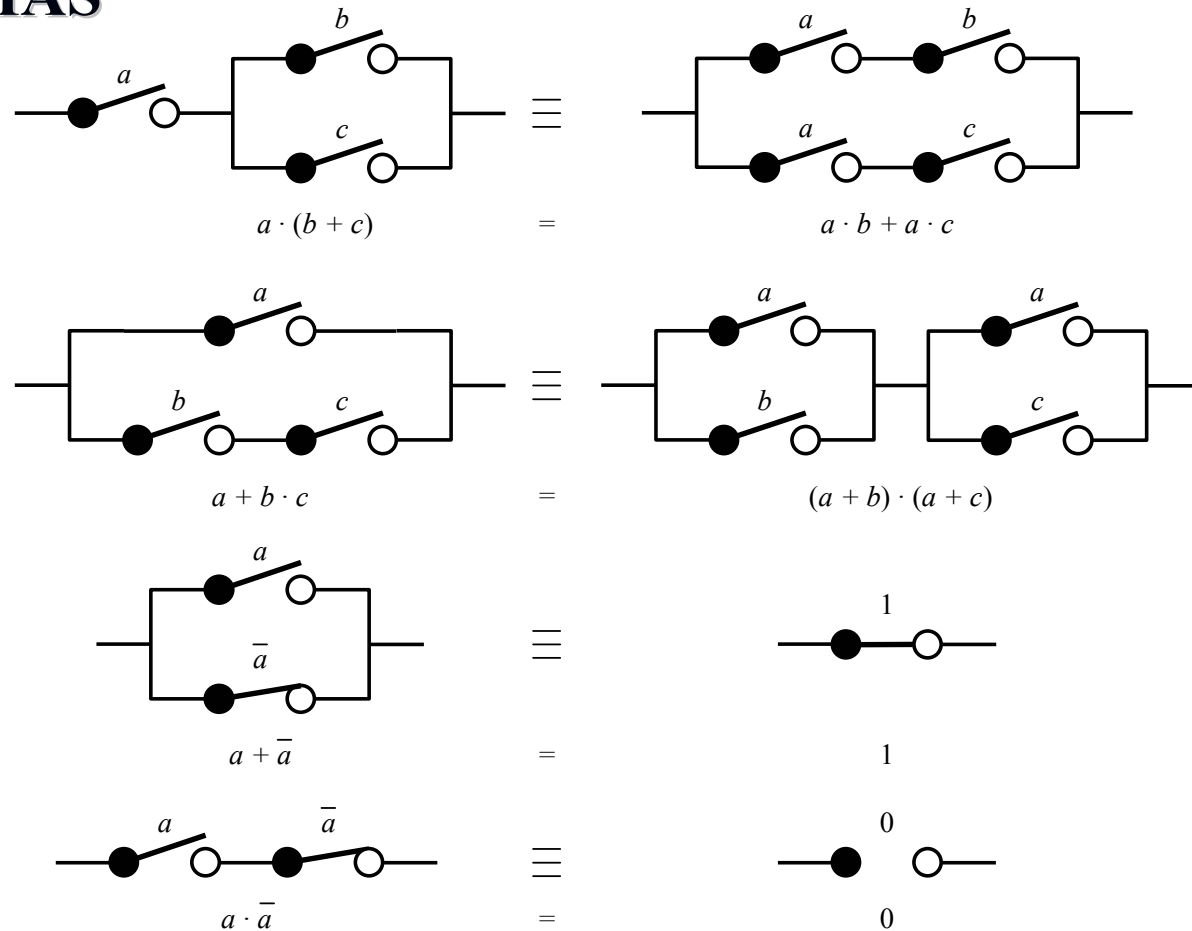
ÁLGEBRA LÓGICA

POSTULADOS



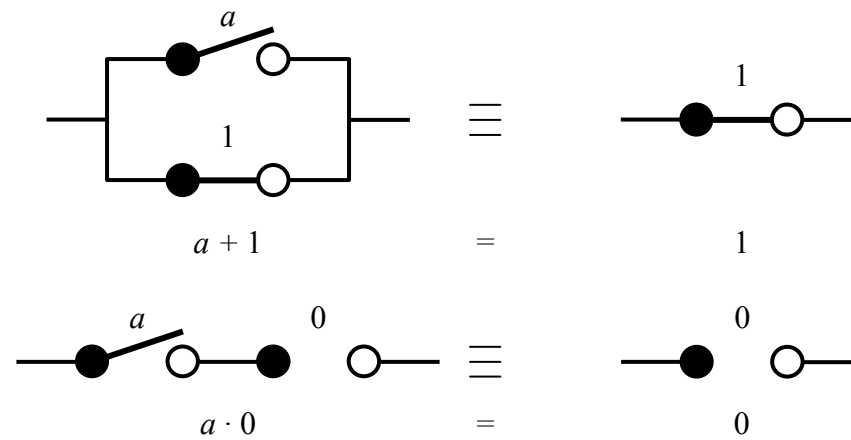
ÁLGEBRA LÓGICA

TEOREMAS



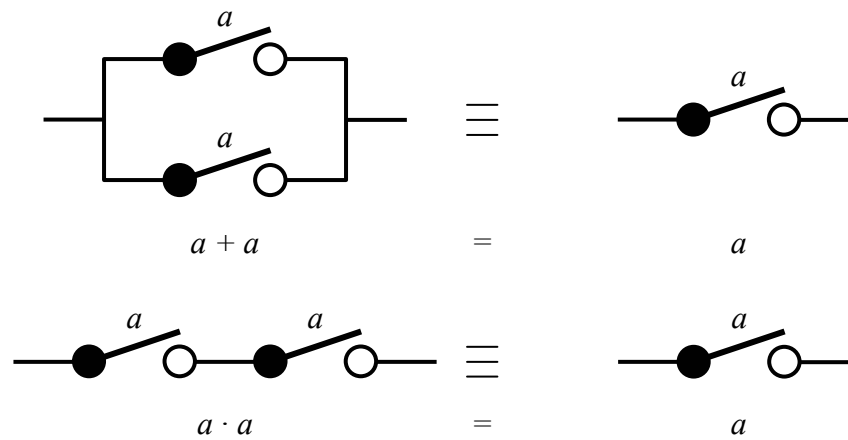
ÁLGEBRA LÓGICA

TEOREMAS



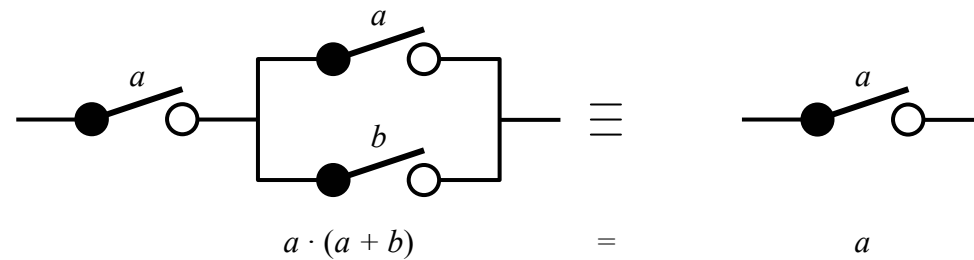
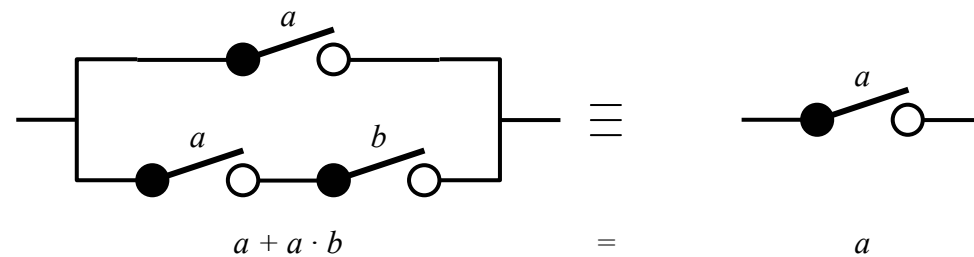
ÁLGEBRA LÓGICA

TEOREMAS



ÁLGEBRA LÓGICA

TEOREMAS



ÁLGEBRA LÓGICA

TEOREMAS

Teoremas de DeMorgan

$$\overline{a + b + c + d \dots} = \bar{a} \bar{b} \bar{c} \bar{d} \dots$$

$$\overline{abcd \dots} = \bar{a} + \bar{b} + \bar{c} + \bar{d} \dots$$

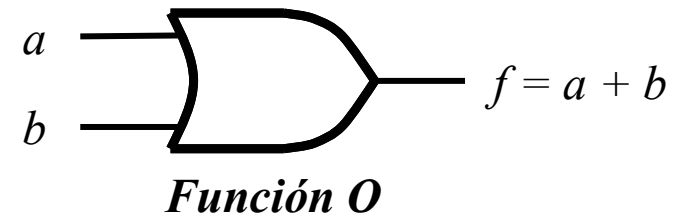
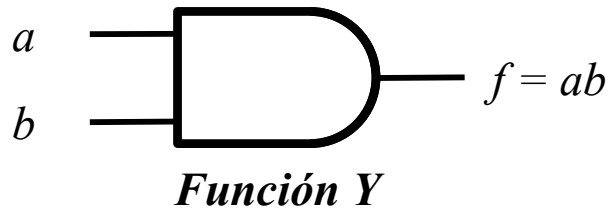
PUERTAS LÓGICAS (*LOGIC GATES*)

Implementan funciones básicas

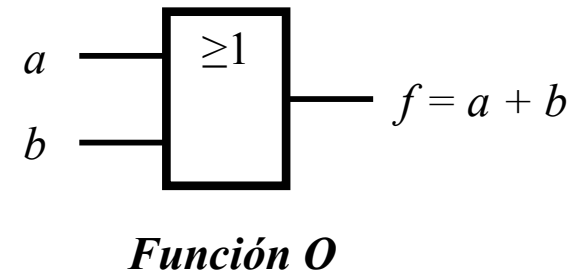
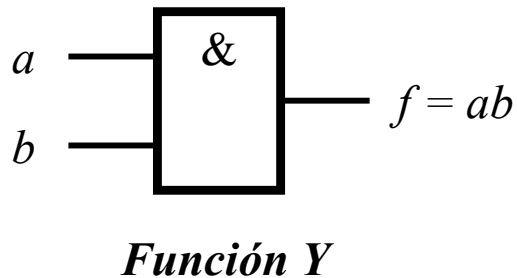
- **Función Y (AND)**
- **Función O (OR)**
- **Inversión**
- **Función NO-Y (NAND)**
- **Función NO-O (NOR)**
- **Función O-exclusiva (Exclusive OR)**

PUERTAS LÓGICAS Y y O

Símbolos IEEE



Símbolos normalizados IEC



PUERTAS LÓGICAS (*LOGIC GATES*)

LÓGICA POSITIVA

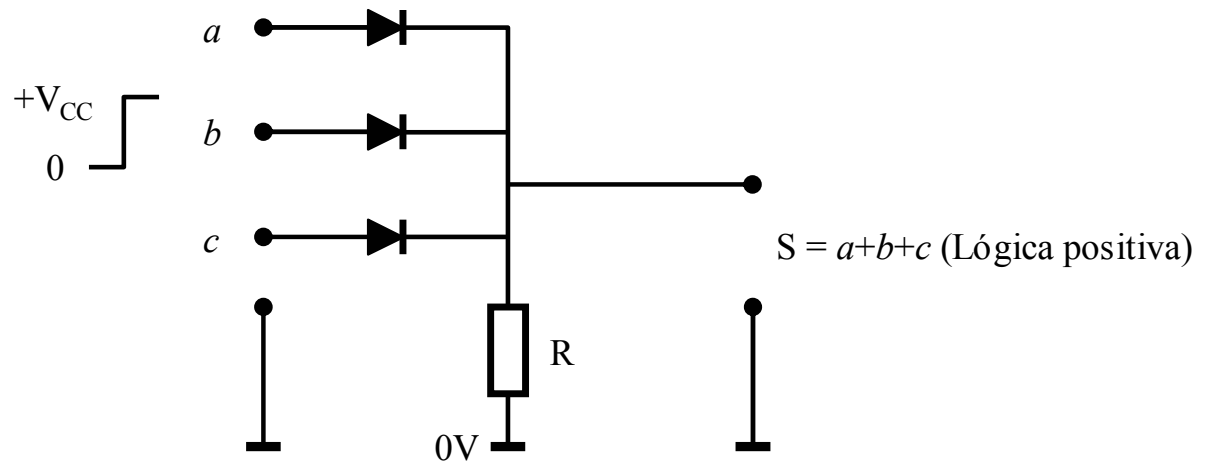
El 1 se asigna a la tensión más positiva y el 0 a la más negativa

LÓGICA NEGATIVA

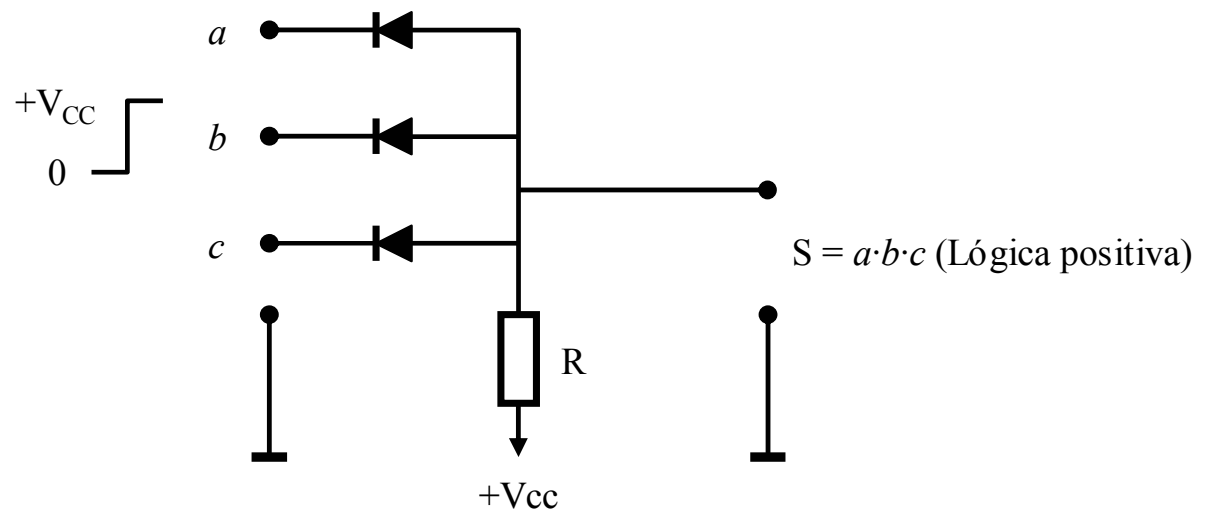
El 0 se asigna a la tensión más positiva y el 1 a la más negativa

PUERTAS LÓGICAS Y y O

**Puerta O en
lógica positiva
eY en lógica negativa**

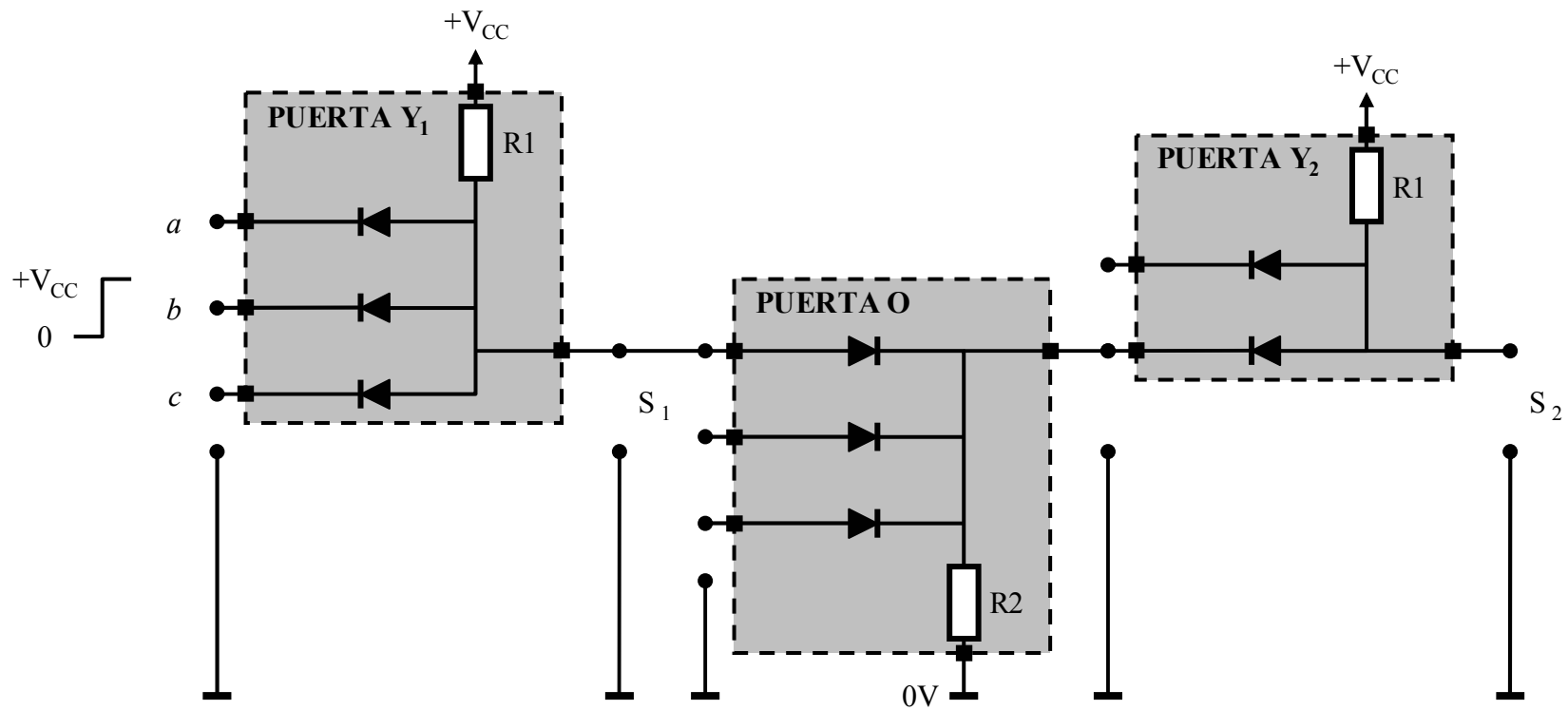


**Puerta Y en
lógica positiva
y O en lógica negativa**



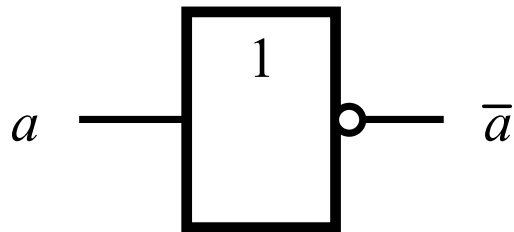
PUERTAS LÓGICAS Y y O

Circuito lógico realizado con puertas lógicas Y y O

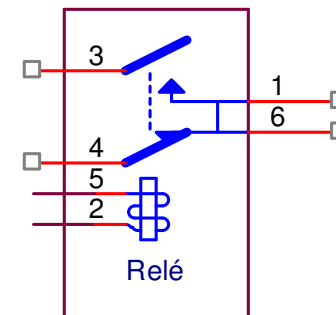
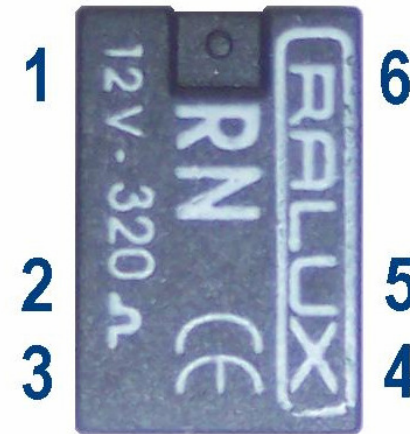


PUERTA INVERSORA

Inversión con un relé

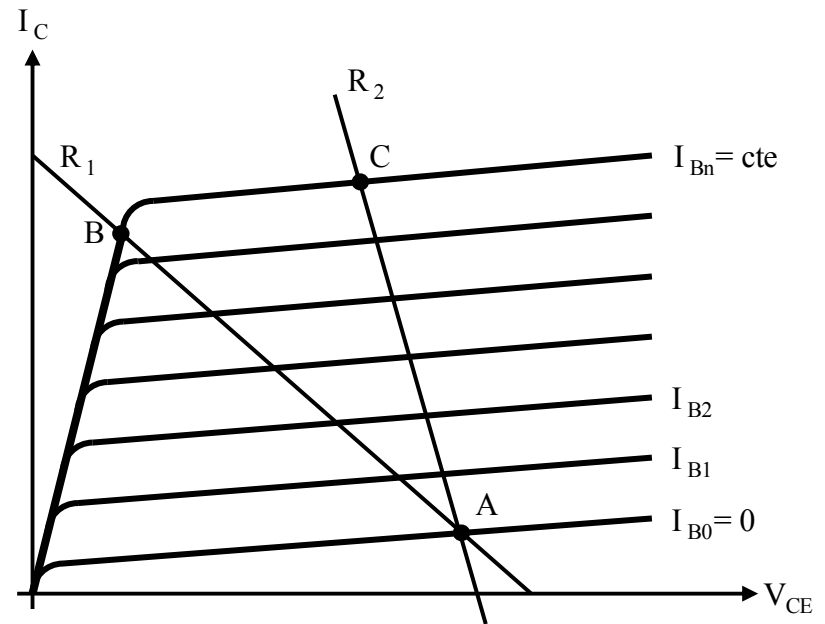
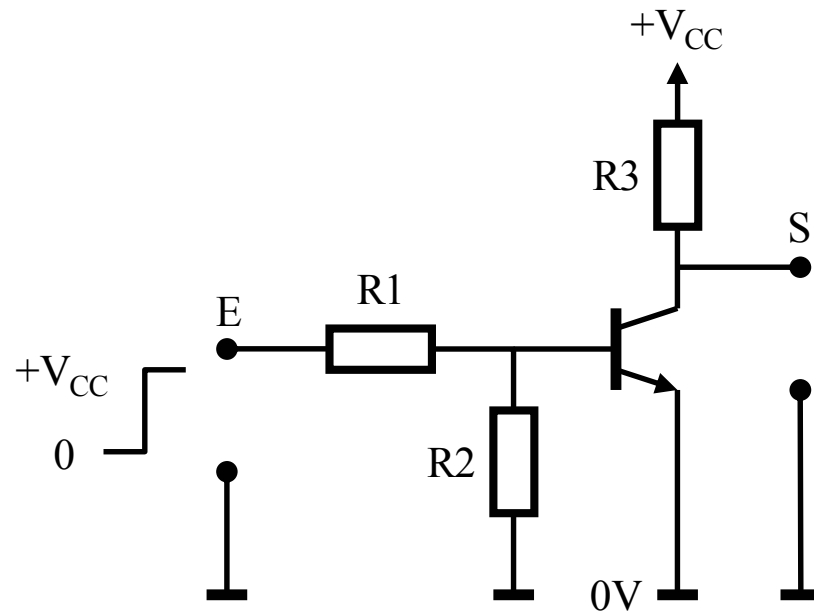


Función inversión

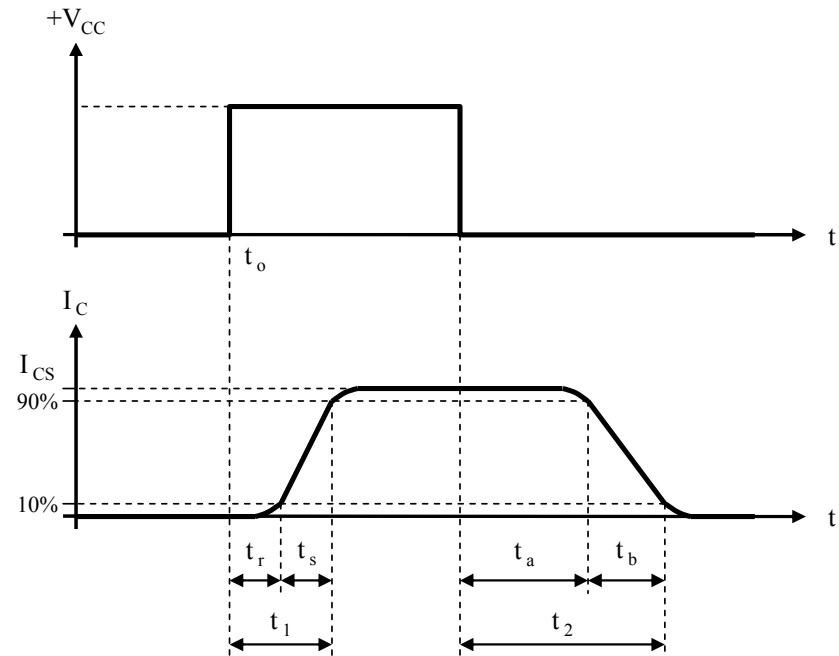
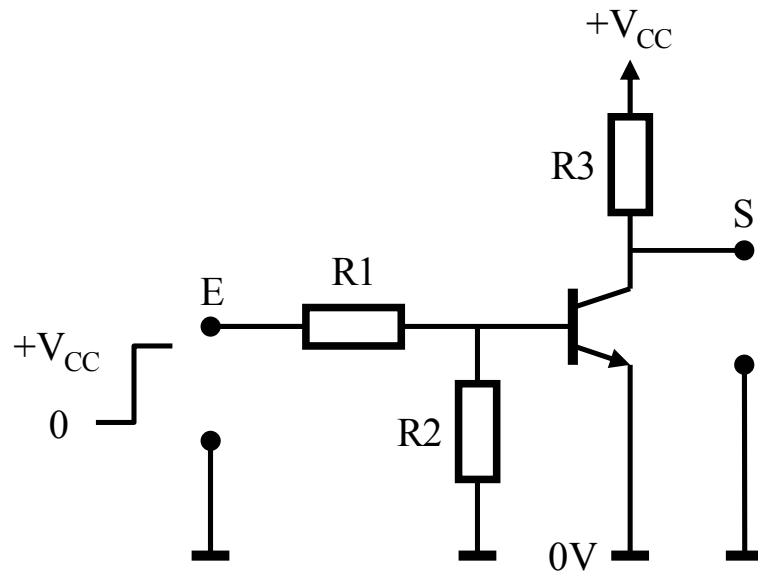


PUERTA INVERSORA

Transistor NPN en conmutación

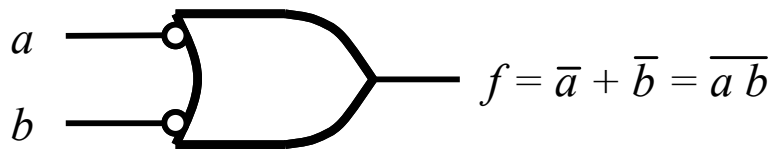
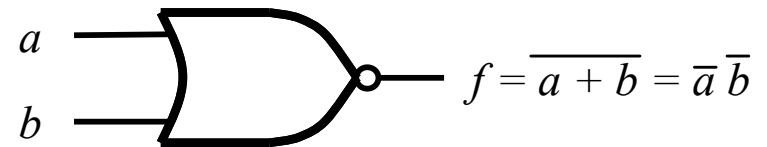
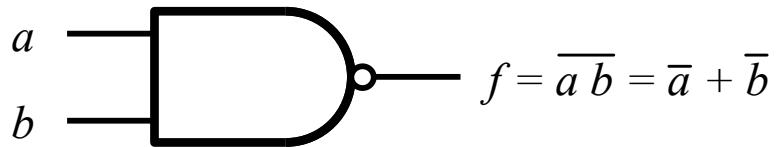


PUERTA INVERSORA

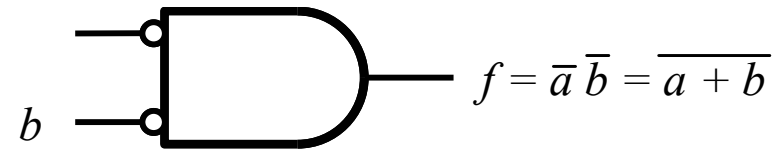


PUERTAS LÓGICAS NAND y NOR

Símbolos lógicos no normalizados (IEEE)



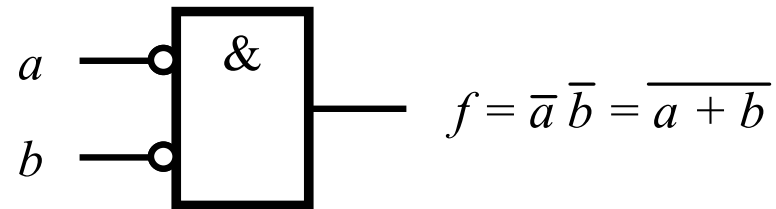
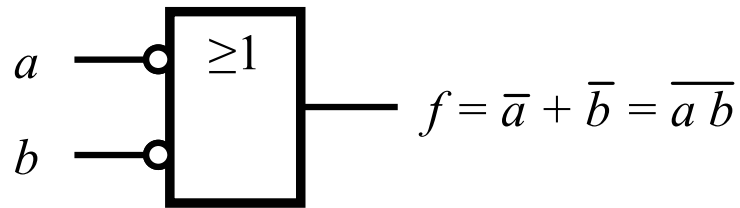
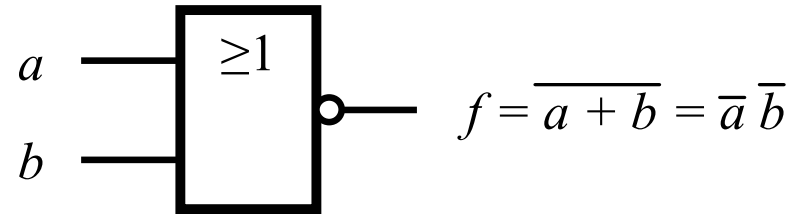
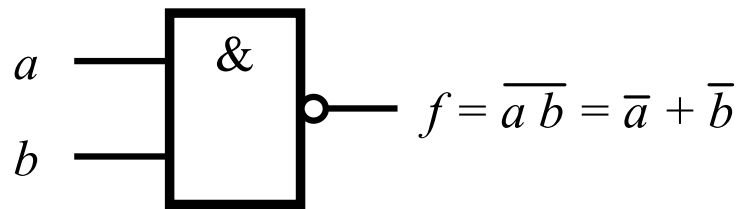
Función NO-Y (NAND)



Función NO-O (NOR)

PUERTAS LÓGICAS NAND y NOR

Símbolos lógicos normalizados (IEC)

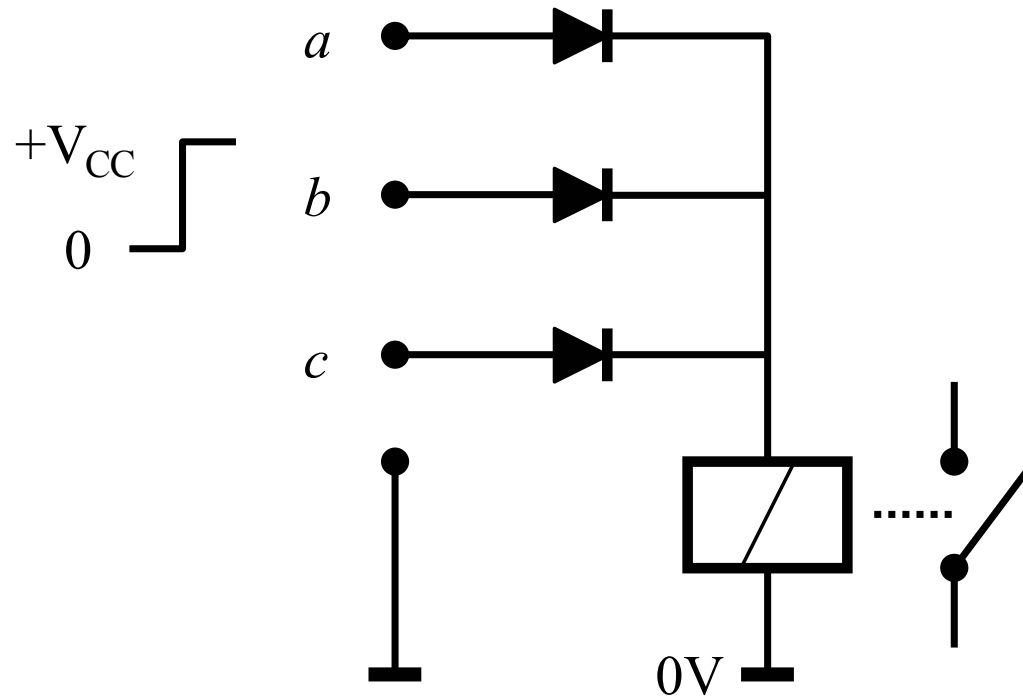


Función NO-Y (NAND)

Función NO-O (NOR)

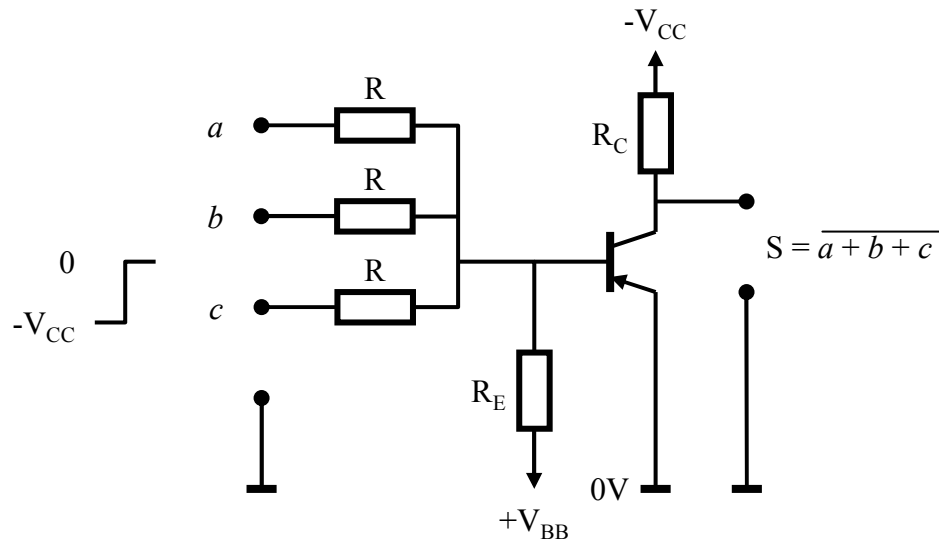
PUERTAS LÓGICAS NAND y NOR

Puerta Lógica NO-O con diodos y relé en
lógica positiva

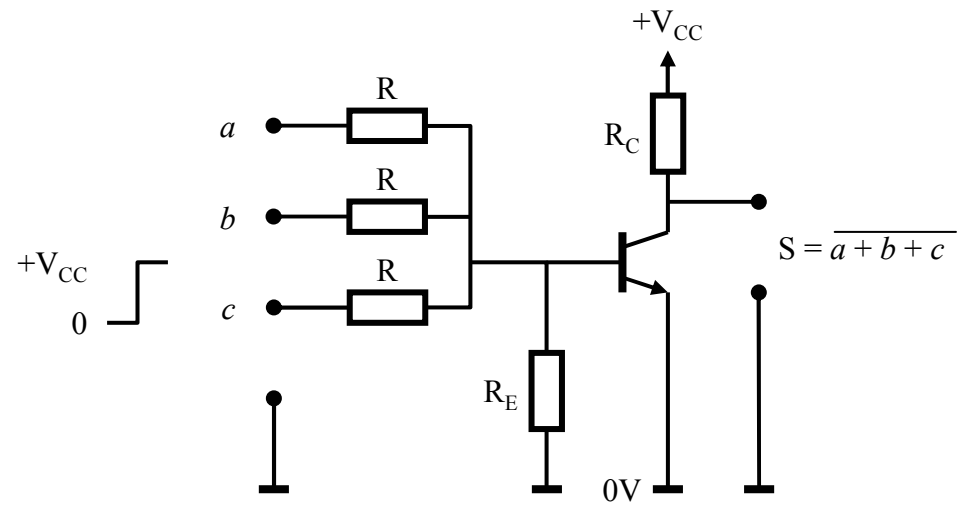


ÁLGEBRA DE BOOLE

Relés estáticos (*Static relays*)



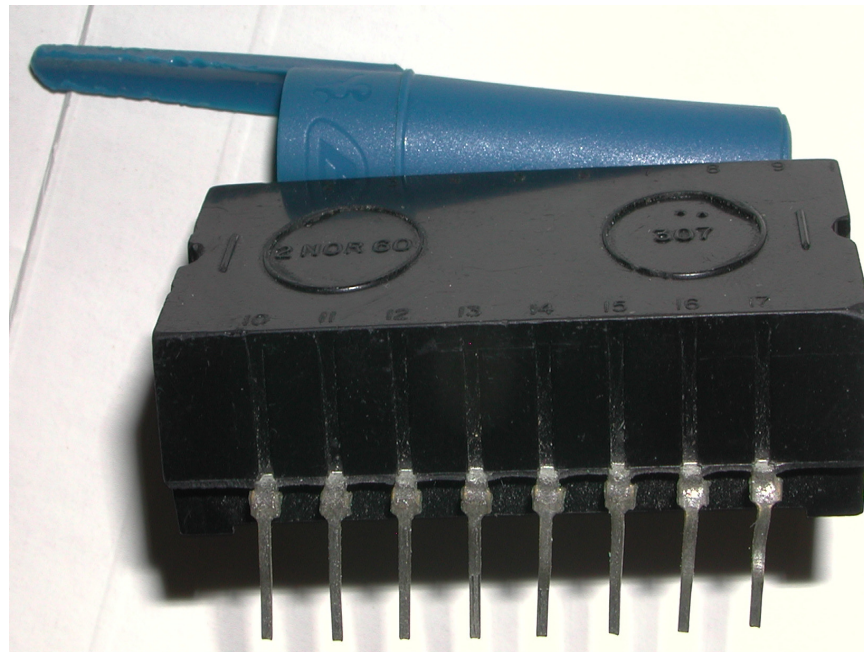
Germanio



Silicio

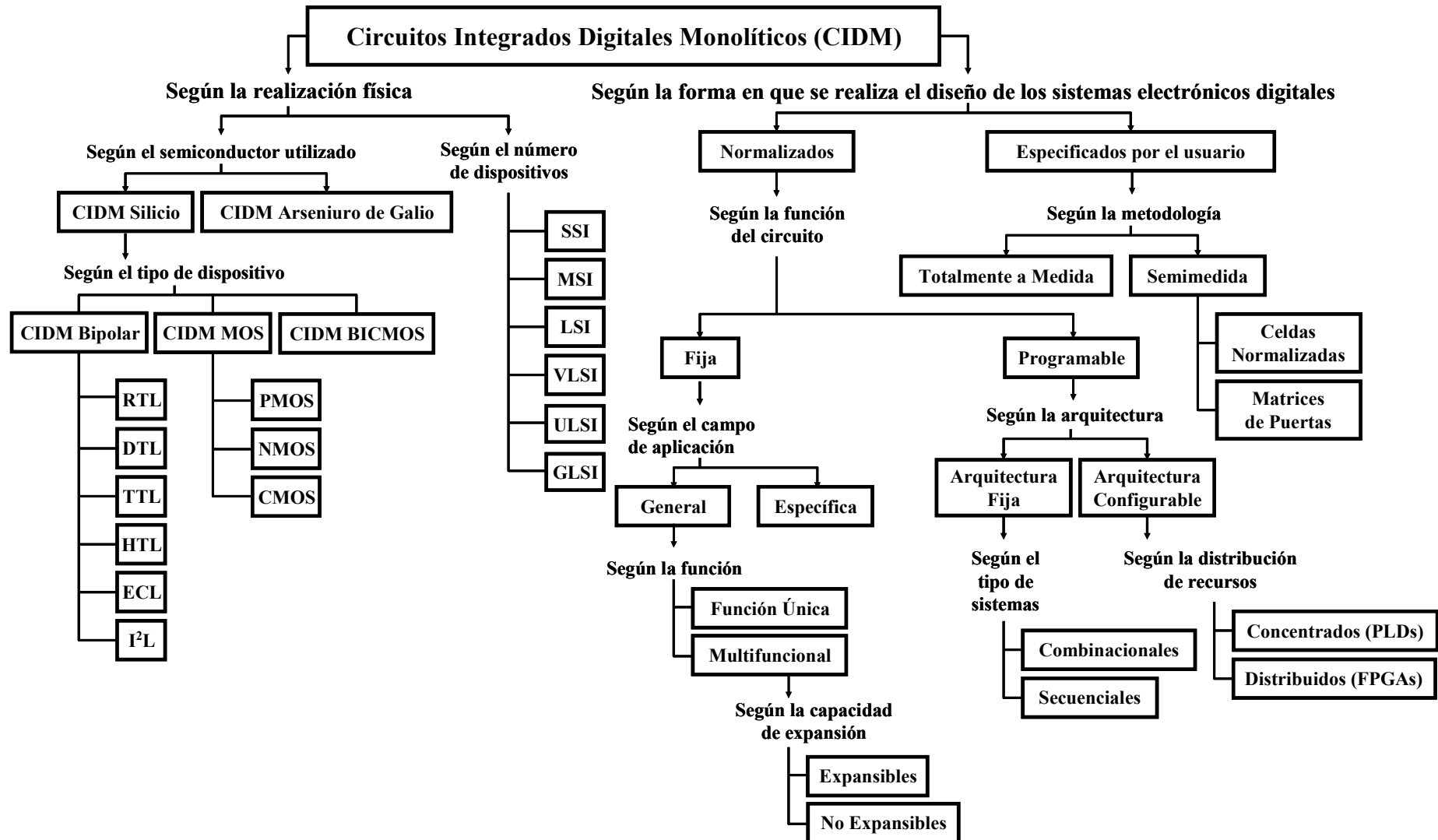
ÁLGEBRA DE BOOLE

Relé estático



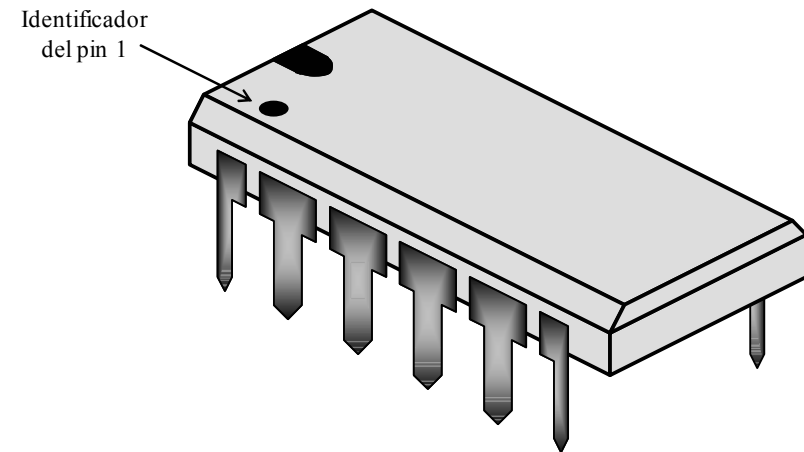
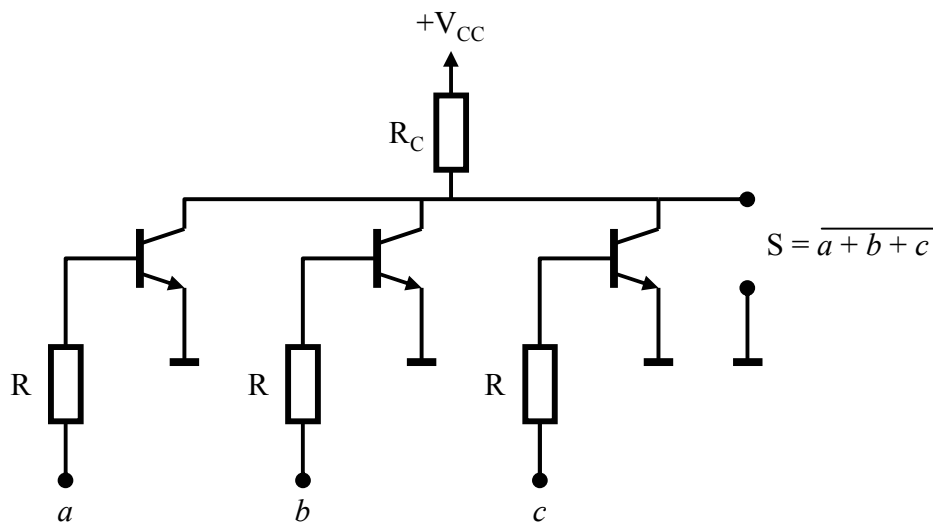
Circuito bloque de la familia NORBIT (Cortesía de Philips).

Mapa conceptual de los circuitos integrados



ÁLGEBRA DE BOOLE

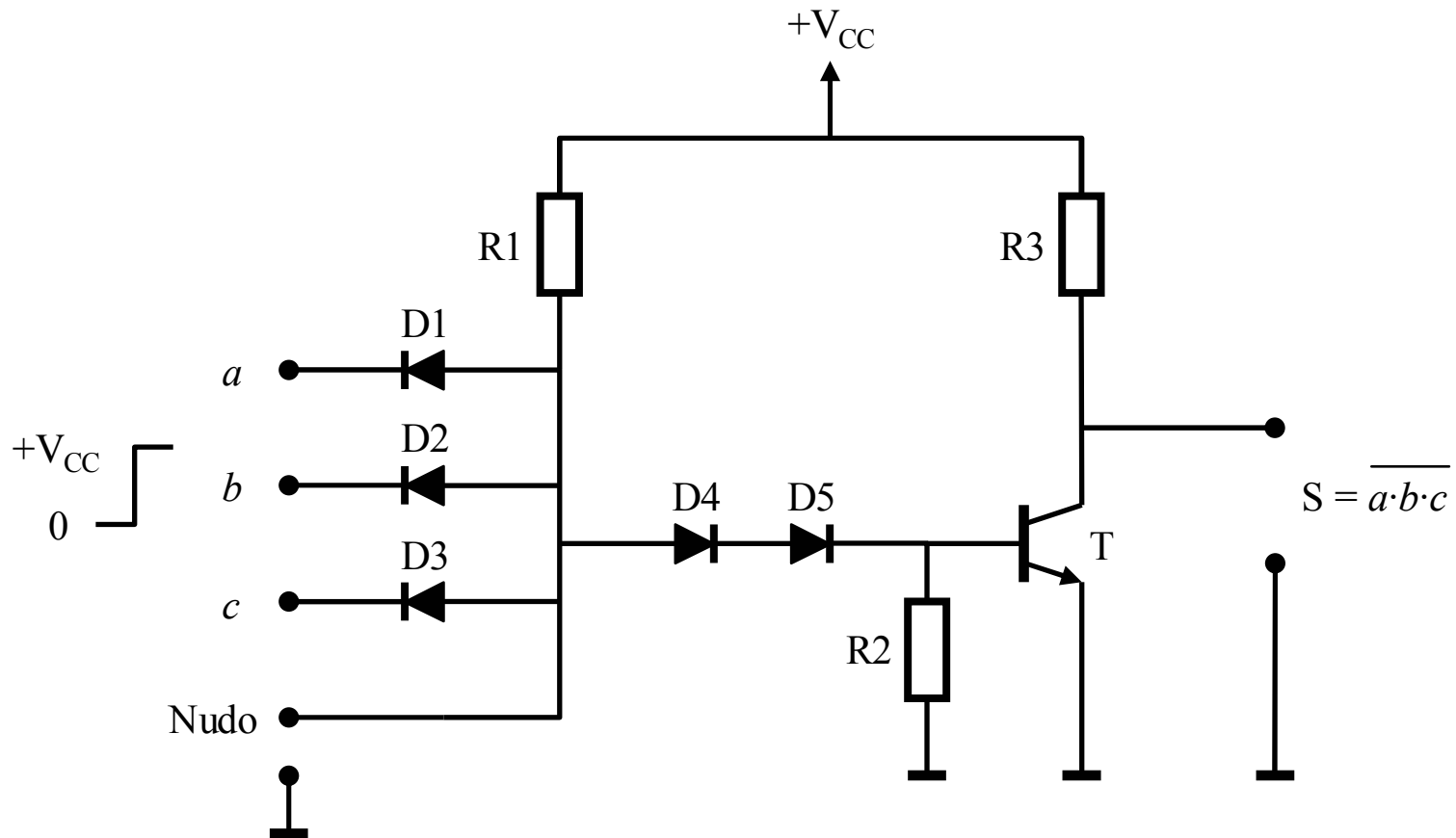
Primer circuito integrado digital monolítico (1965) Tecnología RTL (*Resistor Transistor logic*)



Encapsulado (*Package*)

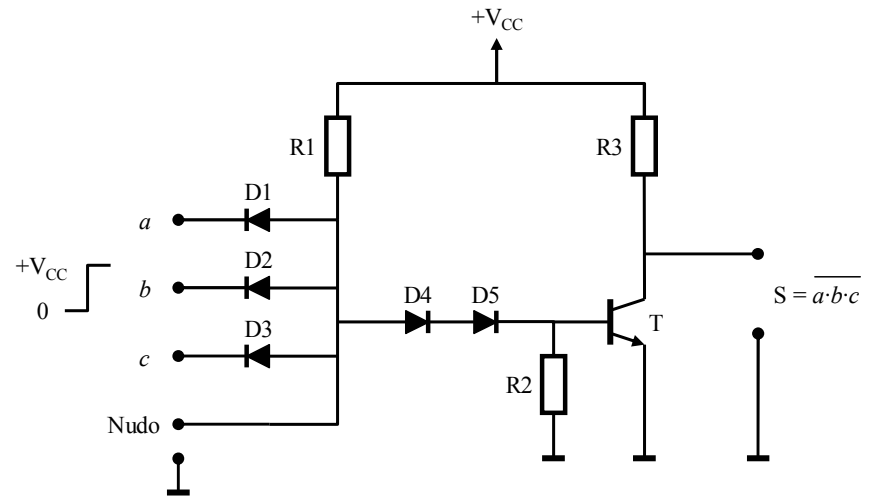
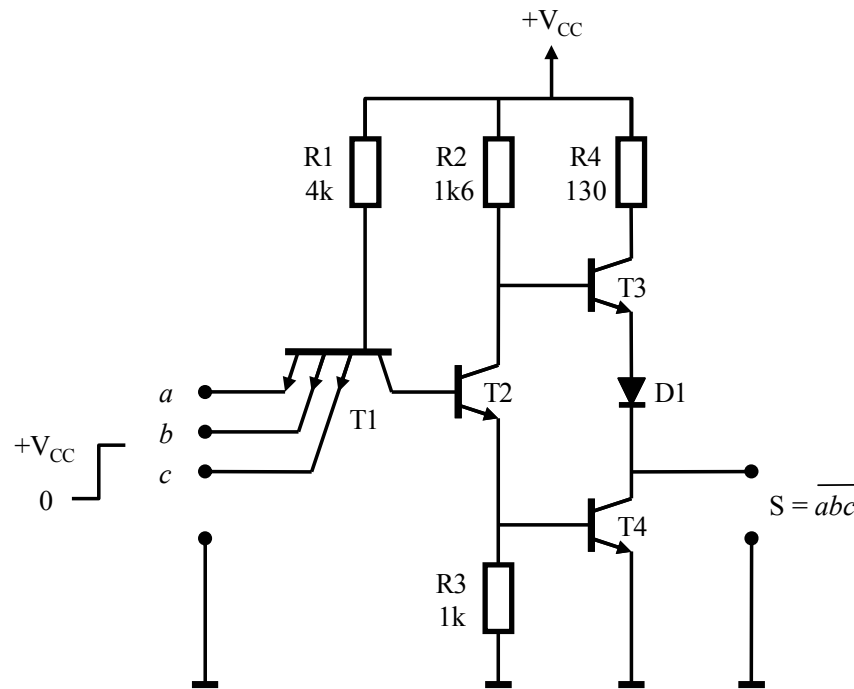
ÁLGEBRA DE BOOLE

Tecnología DTL (*Diode Transistor logic*) (1967)



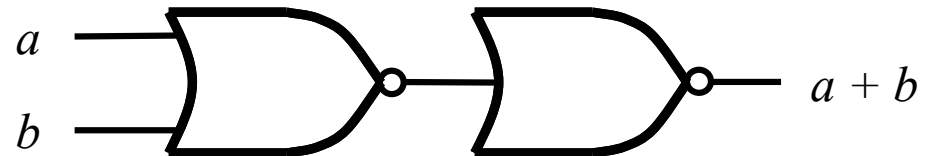
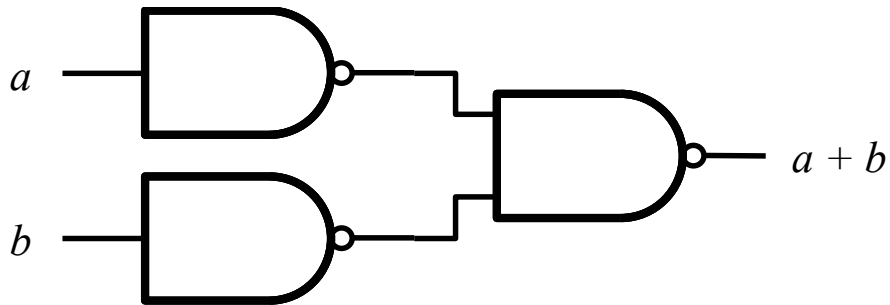
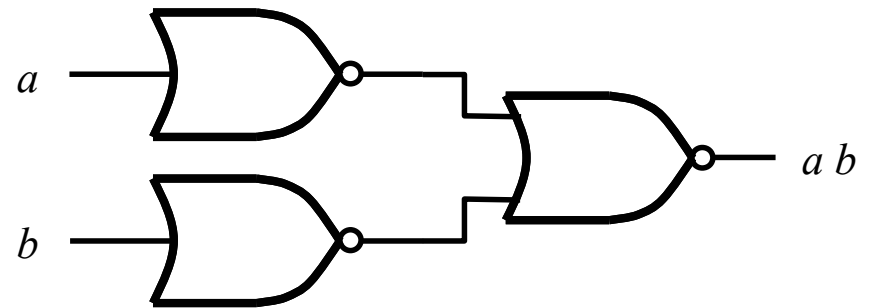
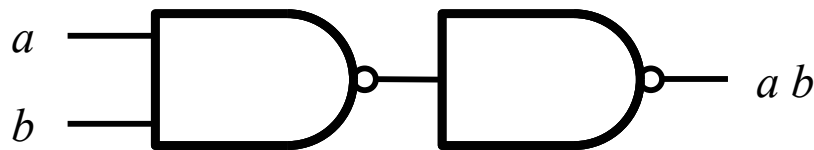
ÁLGEBRA DE BOOLE

Tecnología TTL (*Transistor Transistor logic*) (1970)



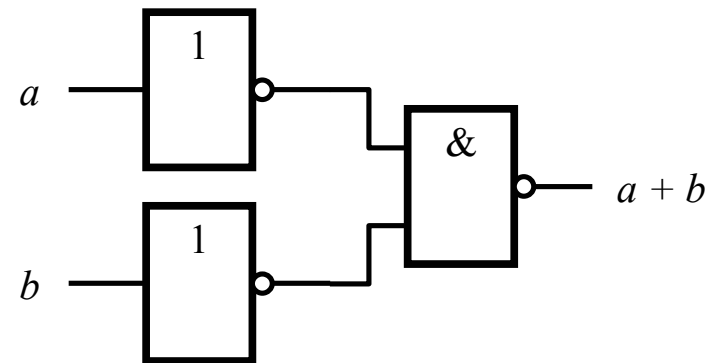
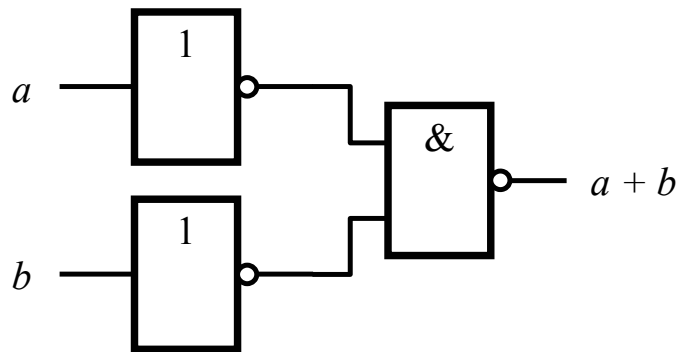
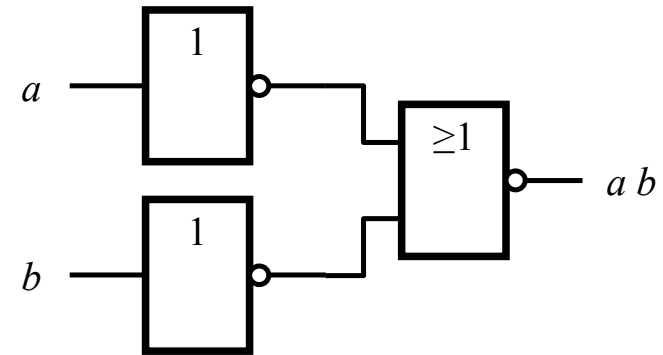
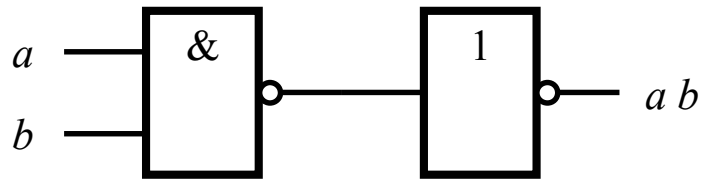
IMPLEMENTACIÓN DE LAS FUNCIONES Y y O CON NAND y NOR

Símbolos lógicos IEEE



IMPLEMENTACIÓN DE LAS FUNCIONES Y y O CON NAND y NOR

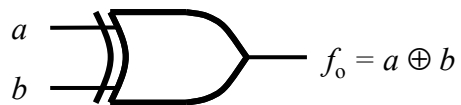
Símbolos lógicos normalizados (IEC)



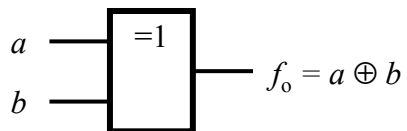
FUNCIÓN O-EXCLUSIVA

Función O-exclusiva

Símbolo lógico IEEE



Símbolo lógico normalizado



b	a	f_e
0	0	1
0	1	0
1	0	0
1	1	1

Tabla de verdad

FUNCIONES LÓGICAS

Expresiones canónicas de

Suma de productos (*Sum of products*)

y producto de sumas (*Product of sums*)

$$f(a, b, c, \dots) = \sum_{i=0}^{2^n-1} f(i)i = \prod_{i=0}^{2^n-1} [f(2^n-1-i) + i]$$

TABLA DE VERDAD DE UNA FUNCIÓN LÓGICA

Ejemplo de función lógica

$$f = a\bar{b}\bar{c} + ab\bar{c} + \bar{a}\bar{b}c + \bar{a}bc$$

$$f = \sum_3 (1,3,4,6,7)$$

<i>c</i>	<i>b</i>	<i>a</i>	<i>f</i>
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	1
5	1	0	0
6	1	1	1
7	1	1	1

EXPRESIONES CANÓNICAS DE UNA FUNCIÓN LÓGICA

Ejemplo

$$f = \sum_3 (0,3,7)$$

$$\overline{P}_i = S_{2^n - 1 - i}$$

$$\overline{f} = \sum_3 (1,2,4,5,6)$$

$$\overline{\overline{a} b \overline{c}} = \overline{P}_2 = a + \overline{b} + c = S_5$$

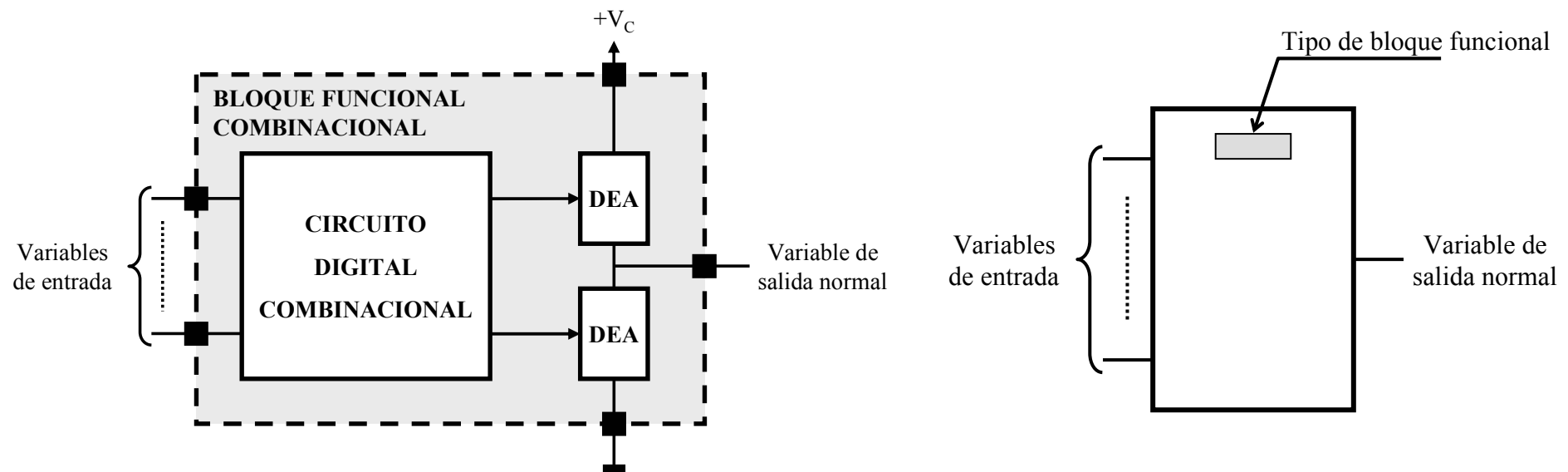
$$f = \prod_3 (1,2,3,5,6)$$

PUERTAS LÓGICAS

Tipos de puertas de acuerdo con el circuito de salida:

- Salida normal.
- Salida triestado.
- Salida de colector o drenador abierto.
- Salida de emisor o surtidor abierto.
- Salida con carga pasiva en el colector o drenador.
- Salida con carga pasiva en el emisor o surtidor .

CIRCUITO DE SALIDA DE LAS PUERTAS LÓGICAS

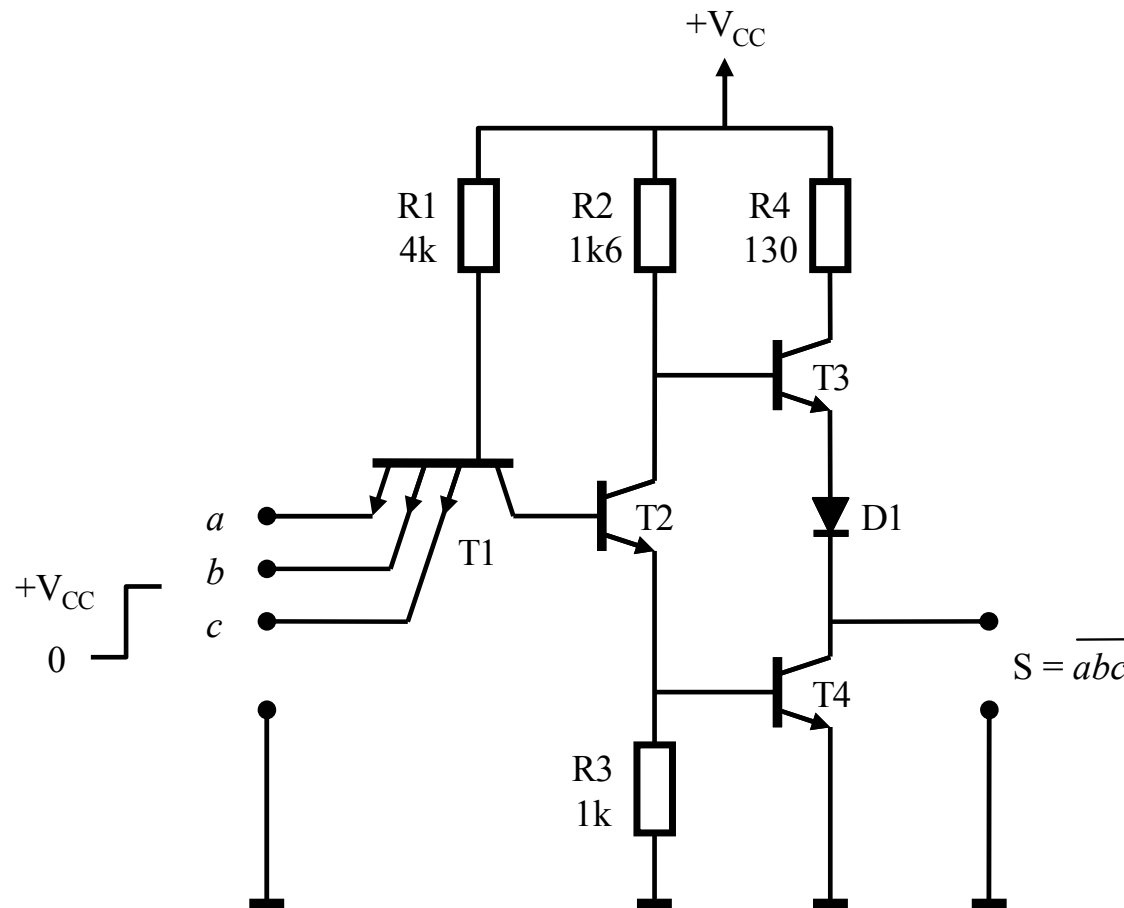


SALIDA NORMAL

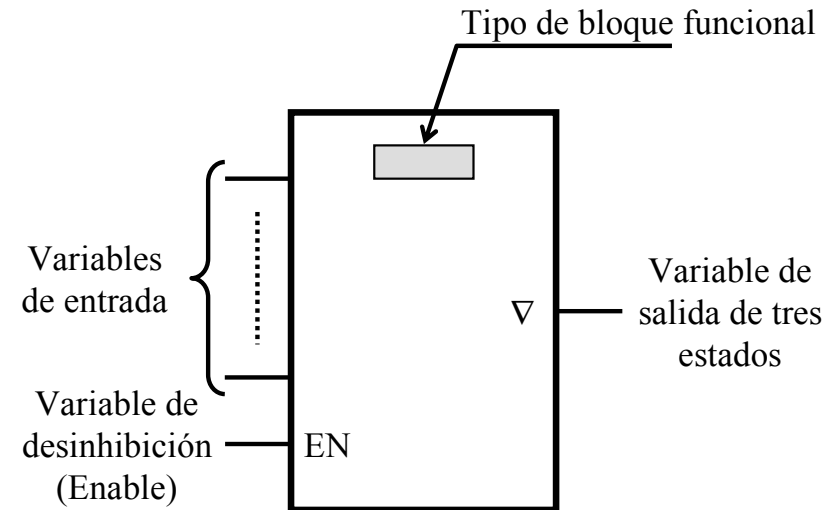
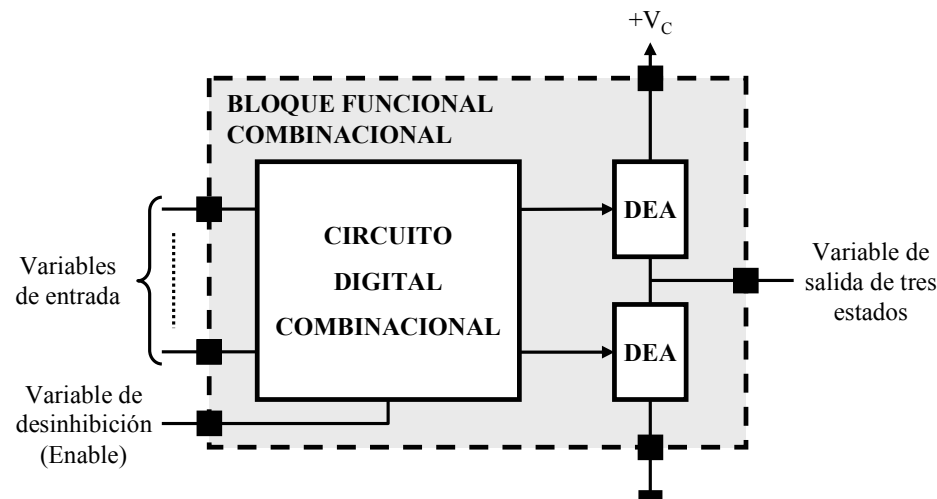
La poseen la mayoría de los bloques funcionales para acoplarse entre sí y con las diversas puertas lógicas. Suele recibir el nombre de salida con carga activa (*Active pull-up or push-pull output*). Está formada por dos dispositivos electrónicos activos conectados en serie entre los dos polos de la fuente de alimentación.

CIRCUITO DE SALIDA DE LAS PUERTAS LÓGICAS

Tecnología TTL (*Transistor Transistor lógic*) (1970)



CIRCUITO DE SALIDA DE LAS PUERTAS LÓGICAS

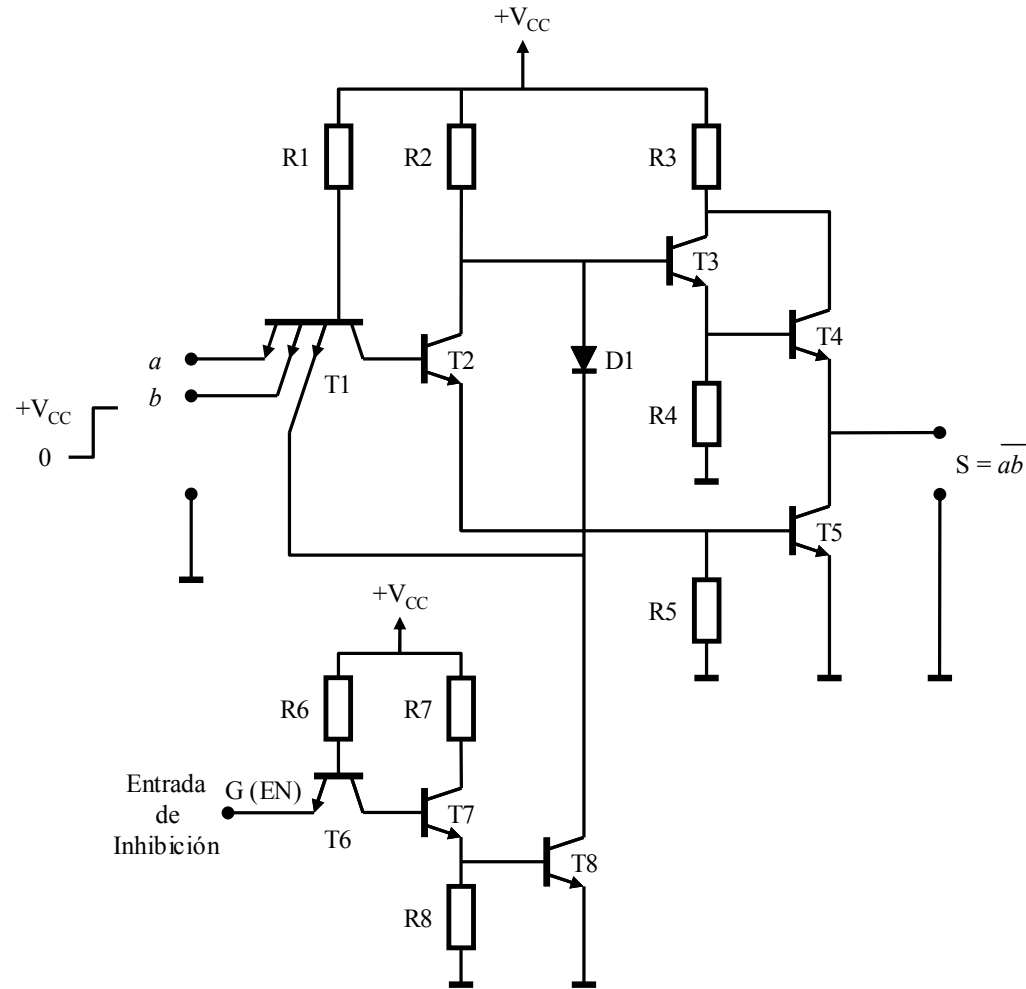


SALIDA DE TRES ESTADOS

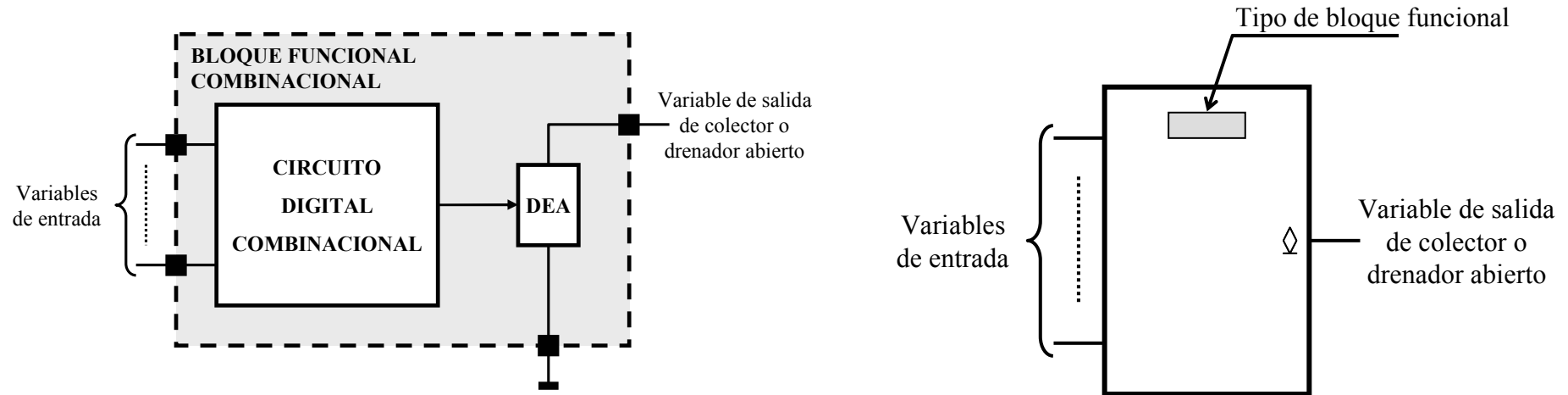
La etapa de salida de tres estados (*Three state output*) se caracteriza porque el bloque funcional posee una entrada de control (*Enable*) que, cuando está en un determinado nivel, hace que no conduzcan los dos dispositivos electrónicos activos. Este tipo de salida se identifica mediante un triángulo isósceles.

CIRCUITO DE SALIDA DE LAS PUERTAS LÓGICAS

**Puerta TTL
de tres estados**



CIRCUITO DE SALIDA DE LAS PUERTAS LÓGICAS

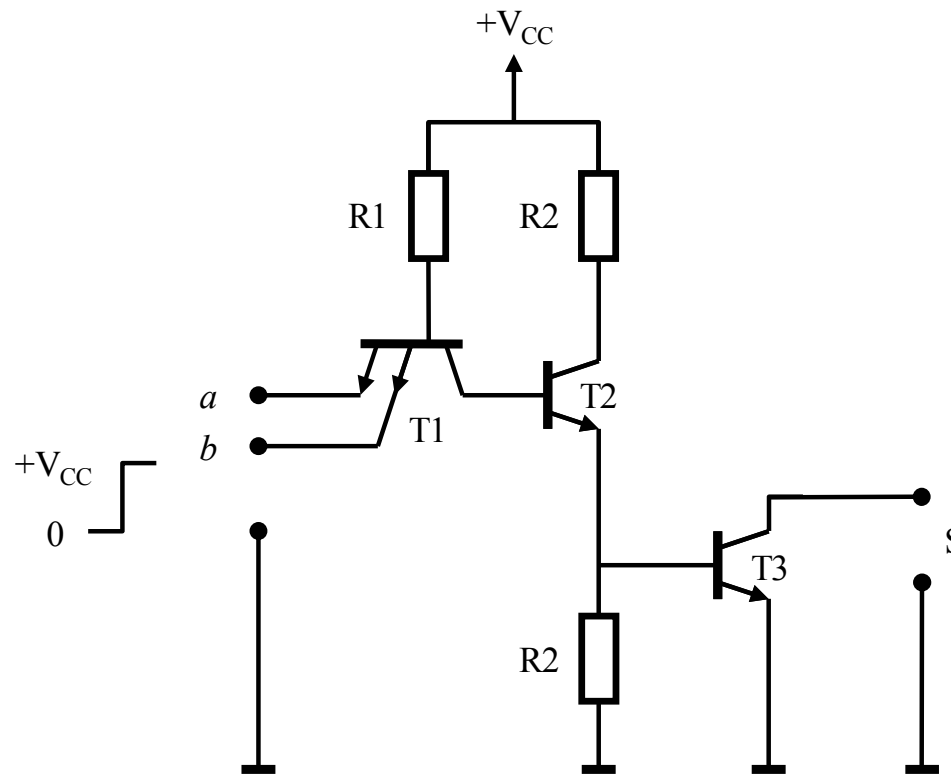


SALIDA DE COLECTOR O DRENADOR ABIERTO

La etapa de salida de colector o drenador abierto (*Open collector or open drain*) posee un único dispositivo electrónico activo que tiene un terminal unido al polo negativo de la alimentación y el otro al aire. Se identifica mediante un rombo que posee un segmento horizontal en el vértice inferior.

CIRCUITO DE SALIDA DE LAS PUERTAS LÓGICAS

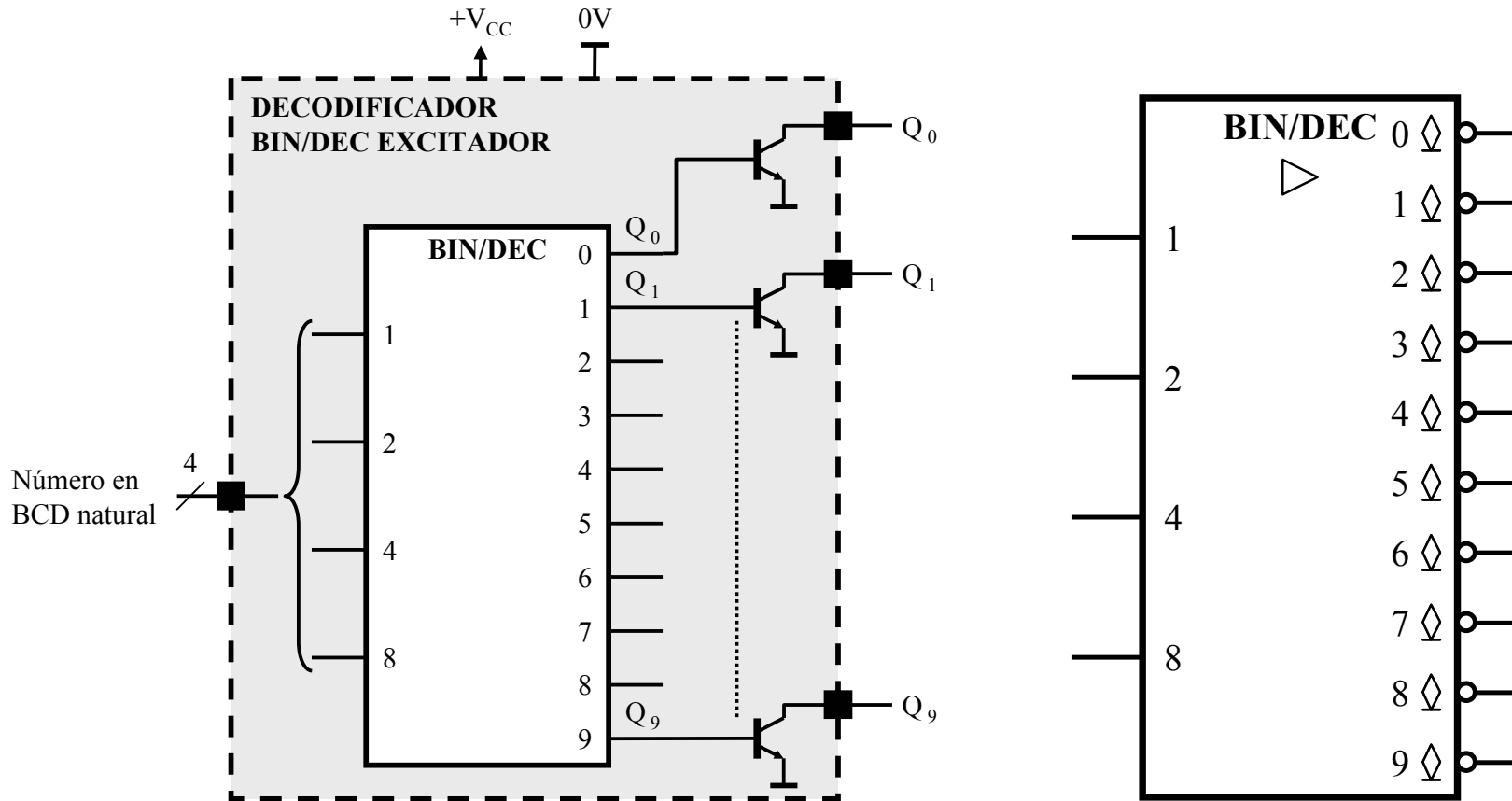
SALIDA DE COLECTOR O DRENADOR ABIERTO



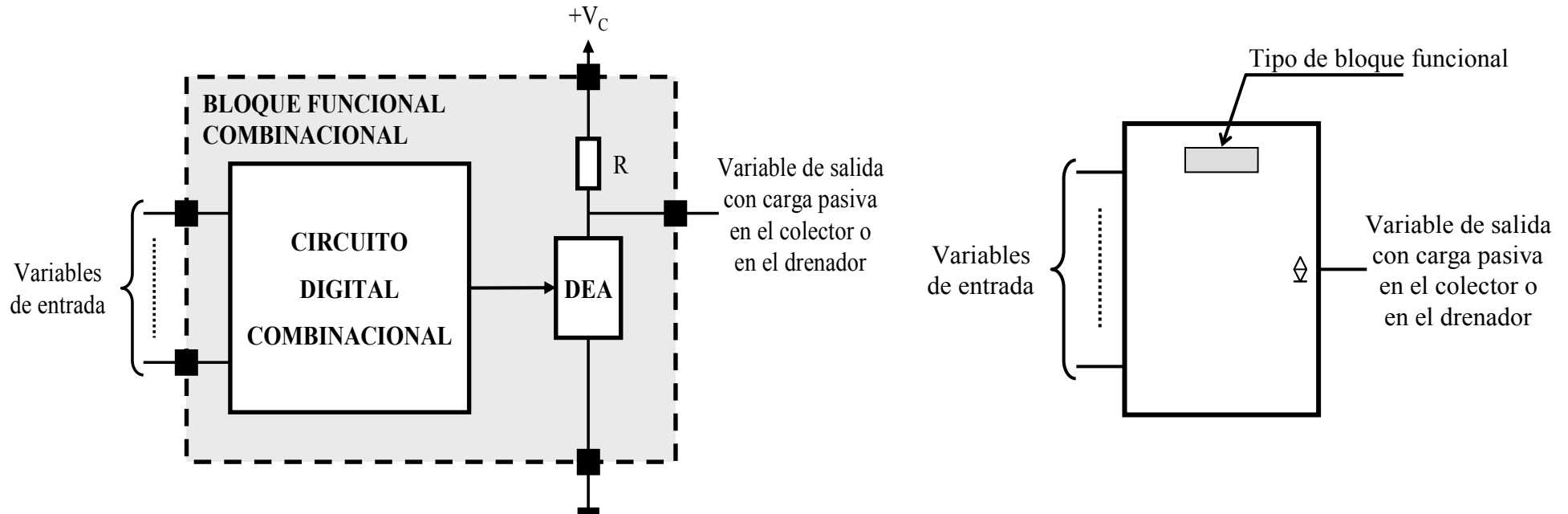
Puerta lógica TTL de colector abierto

CIRCUITO DE SALIDA DE LAS PUERTAS LÓGICAS

Ejemplo: Decodificador



CIRCUITO DE SALIDA DE LAS PUERTAS LÓGICAS



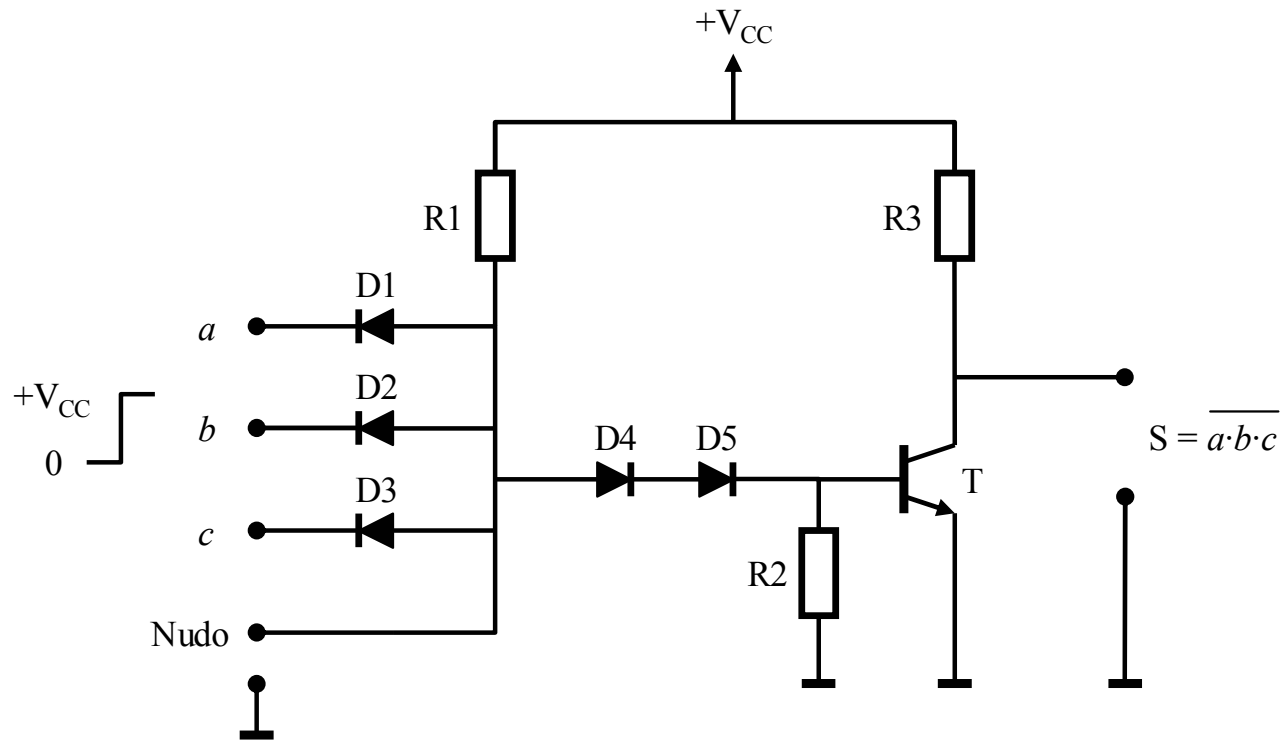
SALIDA CON CARGA PASIVA EN EL COLECTOR O DRENADOR

La etapa de salida con carga pasiva en el colector o en el drenador posee único dispositivo electrónico activo que tiene un terminal unido al polo negativo de la alimentación y el otro a una resistencia (*pull-up resistor*) conectada al polo positivo de la alimentación Este tipo de salida se identifica mediante un rombo que posee un segmento horizontal en el vértice inferior y otro en la diagonal horizontal.

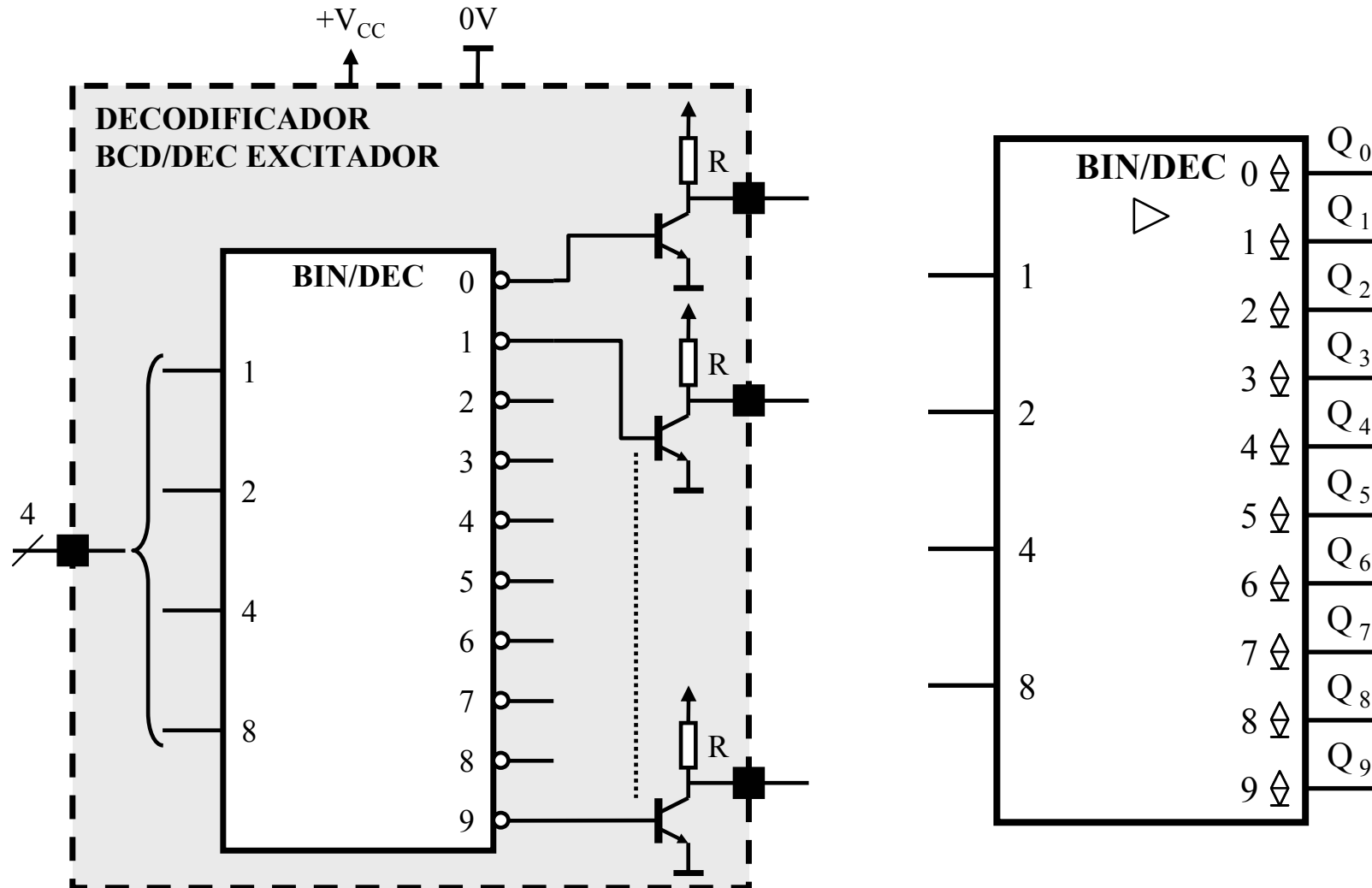
CIRCUITO DE SALIDA DE LAS PUERTAS LÓGICAS

EJEMPLO DE SALIDA CON CARGA PASIVA EN EL COLECTOR O DRENADOR

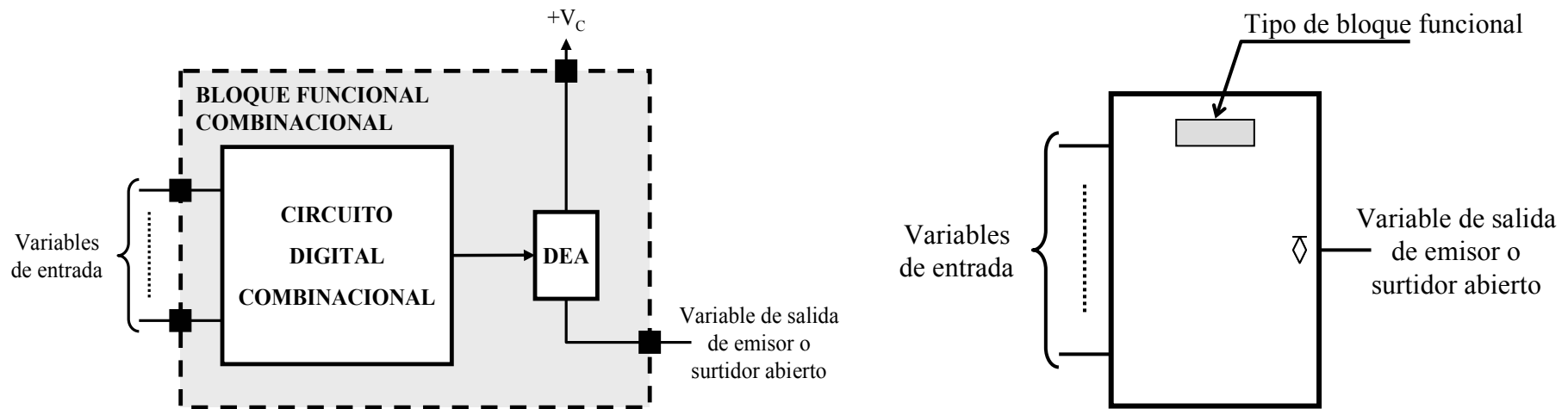
Tecnología DTL (*Diode Transistor lógic*) (1967)



CIRCUITO DE SALIDA DE LAS PUERTAS LÓGICAS



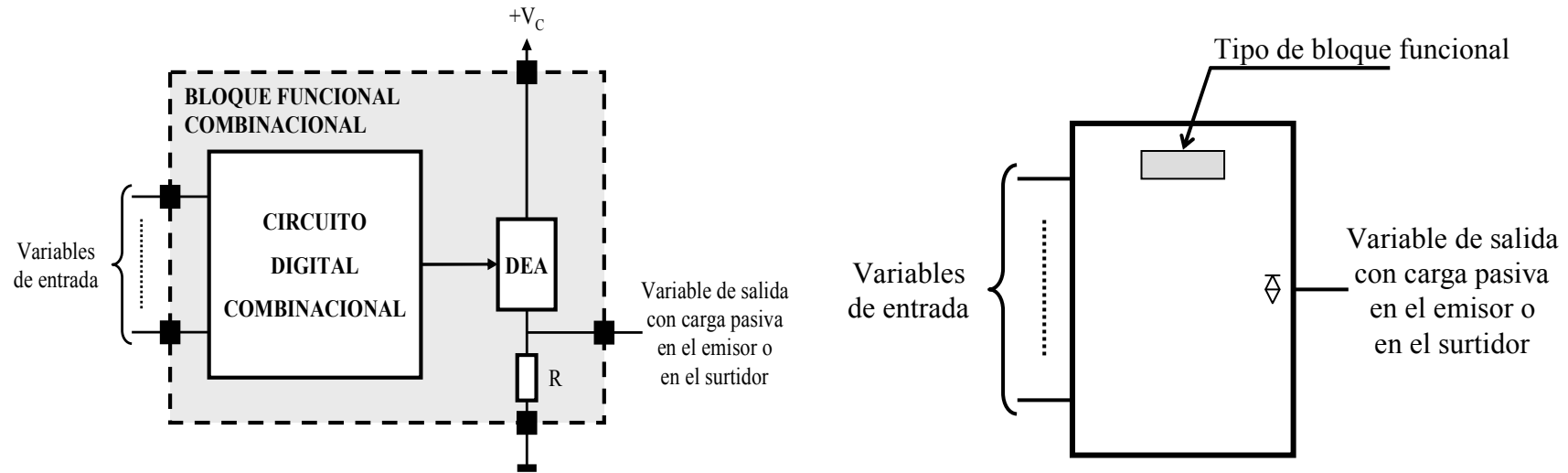
CIRCUITO DE SALIDA DE LAS PUERTAS LÓGICAS



SALIDA DE EMISOR O SURTIDOR ABIERTO

La etapa de salida de emisor o surtidor abierto (*Open emitter or open source*) posee un único dispositivo electrónico activo que tiene un terminal unido al polo positivo de la alimentación y el otro al aire. Este tipo de salida se identifica mediante un rombo que posee un segmento horizontal en el vértice superior.

CIRCUITO DE SALIDA DE LAS PUERTAS LÓGICAS



SALIDA CON CARGA PASIVA EN EL EMISOR O SURTIDOR

La etapa de salida con carga pasiva en el emisor o surtidor posee un único dispositivo electrónico activo que tiene un terminal unido al polo positivo de la alimentación y el otro a una resistencia (*Pull-down resistor*) conectada al polo negativo de la alimentación. Este tipo de salida se identifica mediante un rombo que posee un segmento horizontal en el vértice superior y otro en la diagonal horizontal.