

ELECTRÓNICA DIGITAL

Tema 11

Tecnologías digitales (1ª parte)

Enrique Mandado Pérez

CARACTERÍSTICAS GENERALES DE LOS CIRCUITOS DIGITALES

CARACTERÍSTICAS DE UNA PUERTA LÓGICA

- La cargabilidad de entrada (*Fan-in*)
- La cargabilidad de salida (*Fan-out*)
- La tensión umbral (*Threshold voltage*)
- El margen de ruido (*Noise margin*)
- La curva de inmunidad dinámica al ruido
- El tiempo de propagación medio (tpd) (*Propagation delay*)
- La tensión de alimentación V_{CC} (*Supply voltage*)
- La corriente de alimentación I_{CC} (*Supply current*)
- La potencia disipada (*Power dissipation*) que es el producto de V_{CC} por I_{CC} .
- El producto de la potencia disipada por el retraso de propagación (*Power-Delay Product*).

CARACTERÍSTICAS GENERALES DE LOS CIRCUITOS DIGITALES

CARACTERÍSTICAS DE UNA PUERTA LÓGICA

CARGABILIDAD DE SALIDA (*FAN-OUT*)

Máximo número de puertas básicas que se pueden conectar a la salida de una sola puerta lógica.

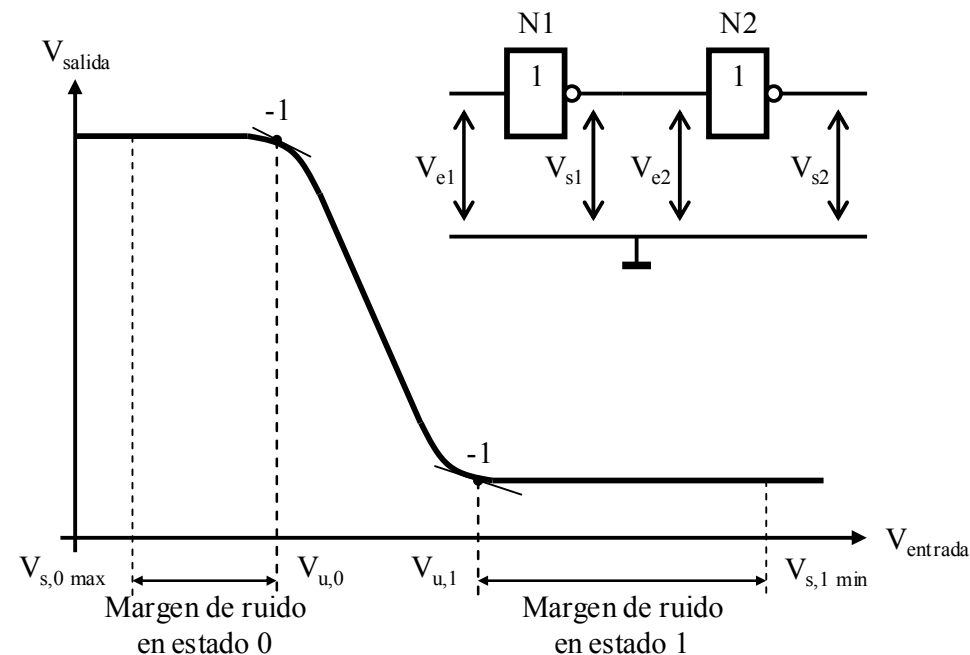
CARGABILIDAD DE ENTRADA (*FAN-IN*)

Máximo número de entradas que puede tener una puerta lógica

CARACTERÍSTICAS GENERALES DE LOS CIRCUITOS DIGITALES

TENSIÓN UMBRAL (*THRESHOLD VOLTAGE*)

Es, por definición, la tensión de entrada para la cual la salida de una puerta lógica inversora comienza a cambiar de nivel lógico. Para definirla se utiliza la curva de transferencia de una puerta lógica



CARACTERÍSTICAS GENERALES DE LOS CIRCUITOS DIGITALES

RETARDO O RETRASO DE PROPAGACIÓN (*PROPAGATION DELAY TIME*)

Retardo de propagación de bajada t_{pdf}

Intervalo de tiempo que transcurre desde que cambia de nivel una variable de entrada hasta que se produce el cambio de la variable de salida del nivel 1 al 0 (*Falling edge*) provocado por ella.

Retardo de propagación de subida t_{pdr}

Intervalo de tiempo que transcurre desde que cambia de nivel una variable de entrada hasta que se produce el cambio de la variable de salida del nivel 0 al 1 (*Rise edge*) provocado por ella.

CARACTERÍSTICAS GENERALES DE LOS CIRCUITOS DIGITALES

TENSIÓN DE ALIMENTACIÓN

Tensión continua V_{CC} que se debe aplicar a un circuito digital para que funcione correctamente.

CORRIENTE DE ALIMENTACIÓN

Corriente continua I_{CC} que debe suministrar la fuente que genera la tensión V_{CC} , cuando las variables de entrada están en un nivel lógico determinado. Se suele escoger el nivel que hace que el valor de I_{CC} sea el máximo posible.

CARACTERÍSTICAS GENERALES DE LOS CIRCUITOS DIGITALES

POTENCIA DISIPADA

Es la potencia disipada (*Power dissipation*) por una puerta lógica. Se define para un ciclo de trabajo del 50 %, es decir para la situación en la que la salida de la puerta está el mismo tiempo en nivel cero que en nivel uno.

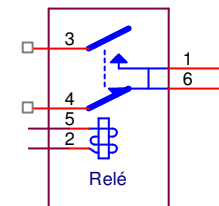
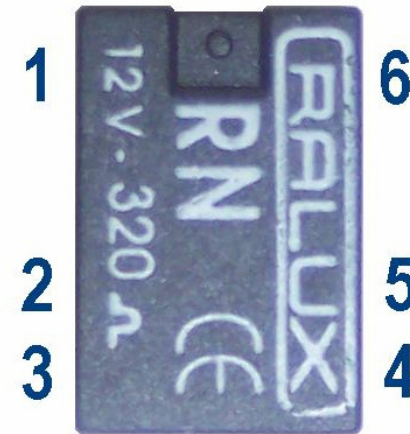
PRODUCTO POTENCIA DISIPADA-TIEMPO DE PROPAGACIÓN

Como su nombre indica, es el producto de las dos características antes citadas. Constituye un factor de mérito de una determinada familia o tecnología de implementación de los circuitos lógicos. Cuanto menor es el valor de este parámetro, mejor es la técnica de implementación de la familia considerada.

TECNOLOGÍAS DIGITALES

CIRCUITOS CON RELÉS

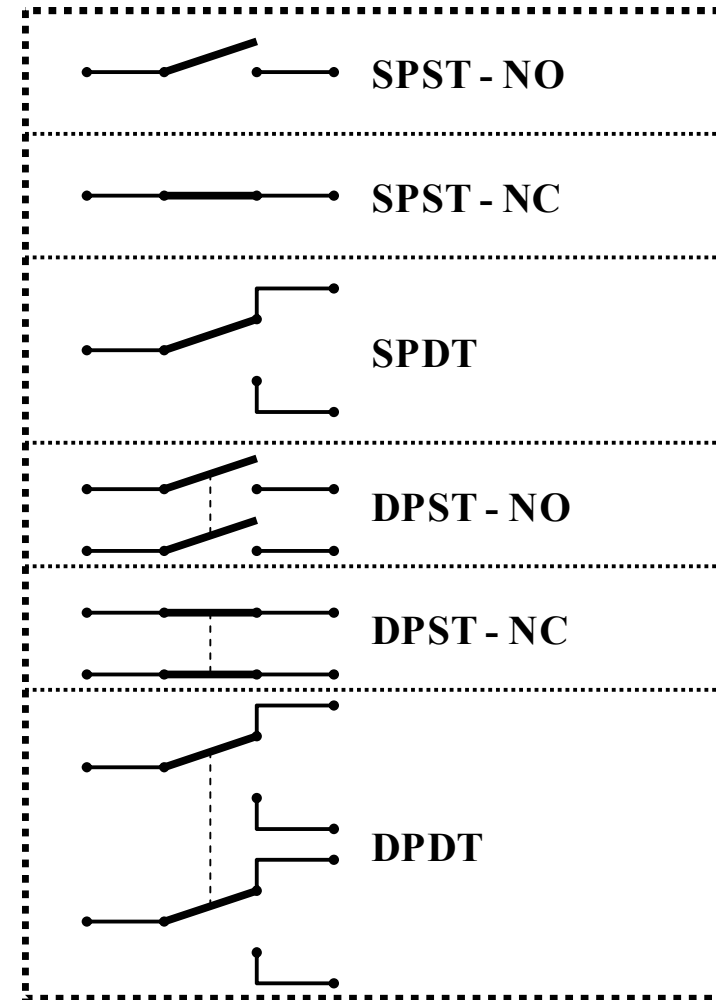
- **Suma lógica: Paralelo de contactos**
- **Producto lógico: Serie de contactos**
- **Inversión : Contacto inverso**



TECNOLOGÍAS DIGITALES

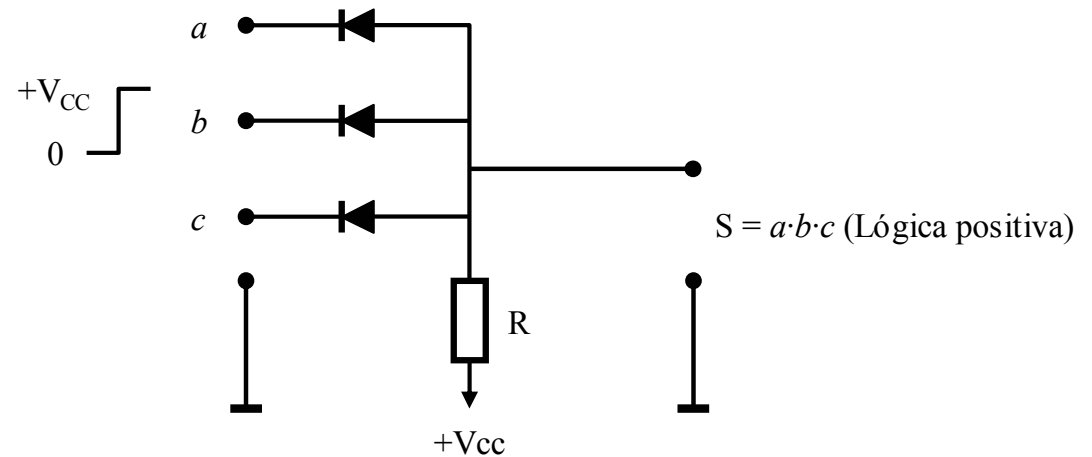
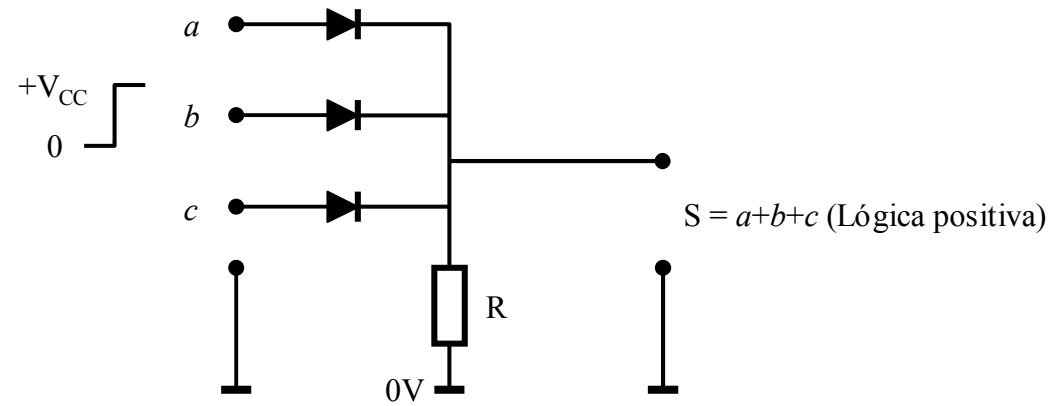
CIRCUITOS CON RELÉS

- **SP: *Single Pole***
- **DP: *Double Pole***
- **ST: *Single Through***
- **DT: *Double Through***
- **NO: *Normally Open***
- **NC: *Normally Close***



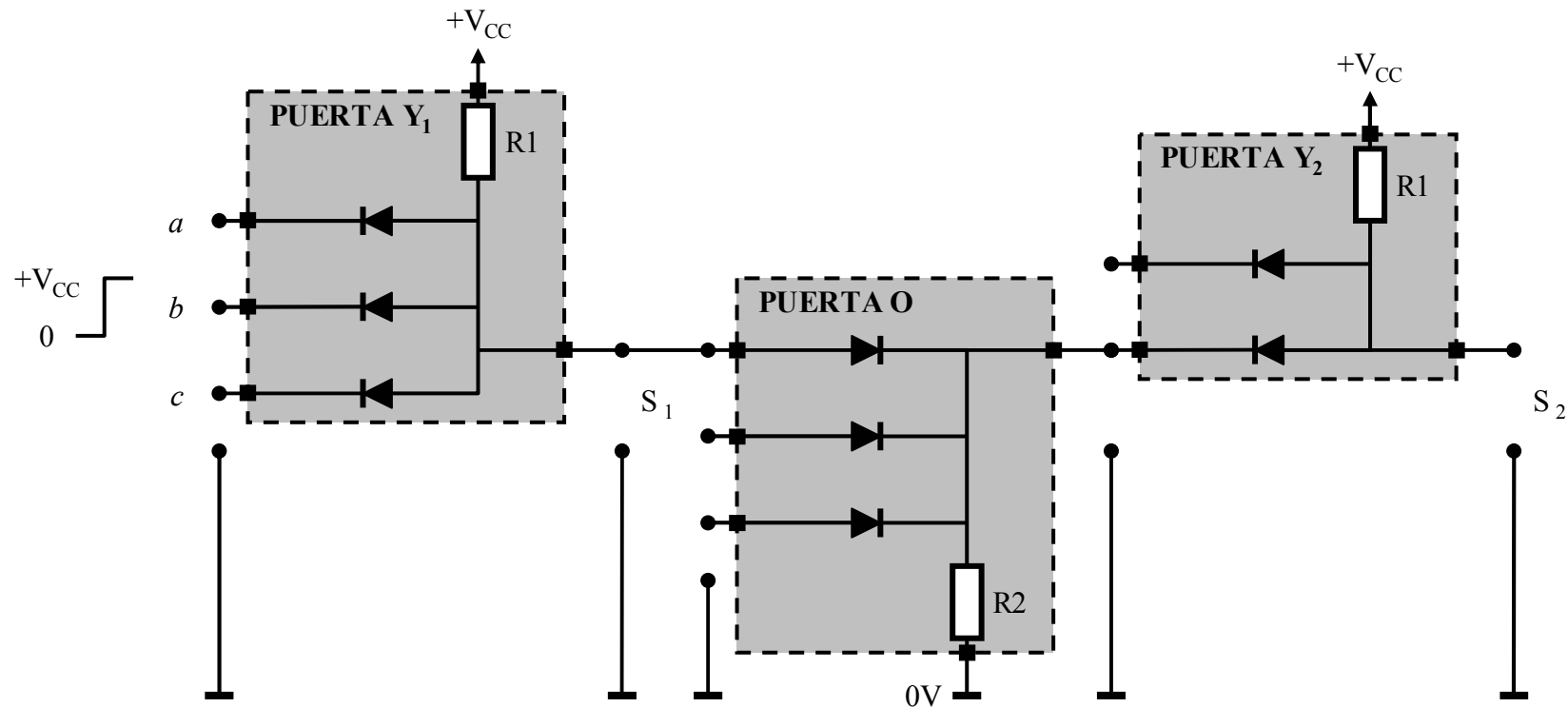
IMPLEMENTACIÓN DE LOS CIRCUITOS DIGITALES

PUERTAS LÓGICAS CON DIODOS



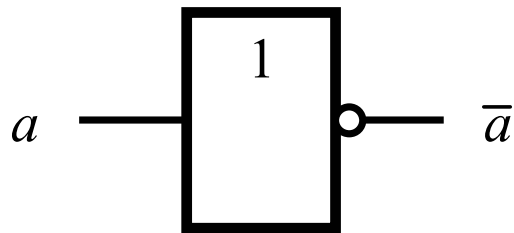
IMPLEMENTACIÓN DE LOS CIRCUITOS DIGITALES

PUERTAS LÓGICAS CON DIODOS

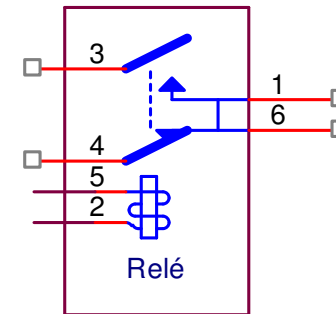
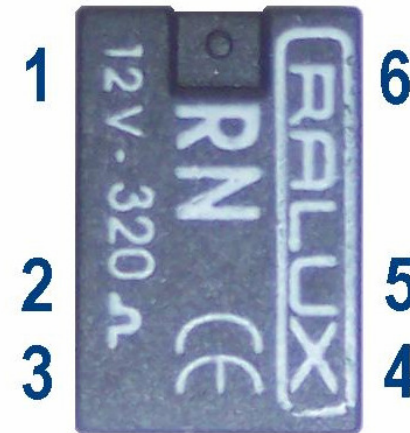


IMPLEMENTACIÓN DE LOS CIRCUITOS DIGITALES

INVERSOR CON RELÉ

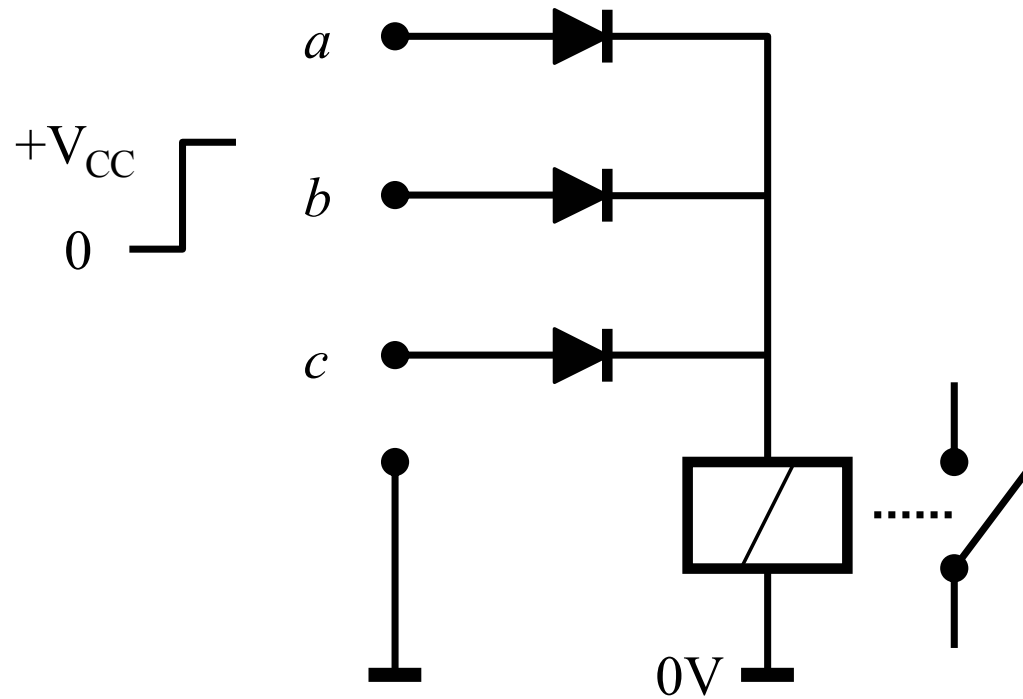


Función inversión



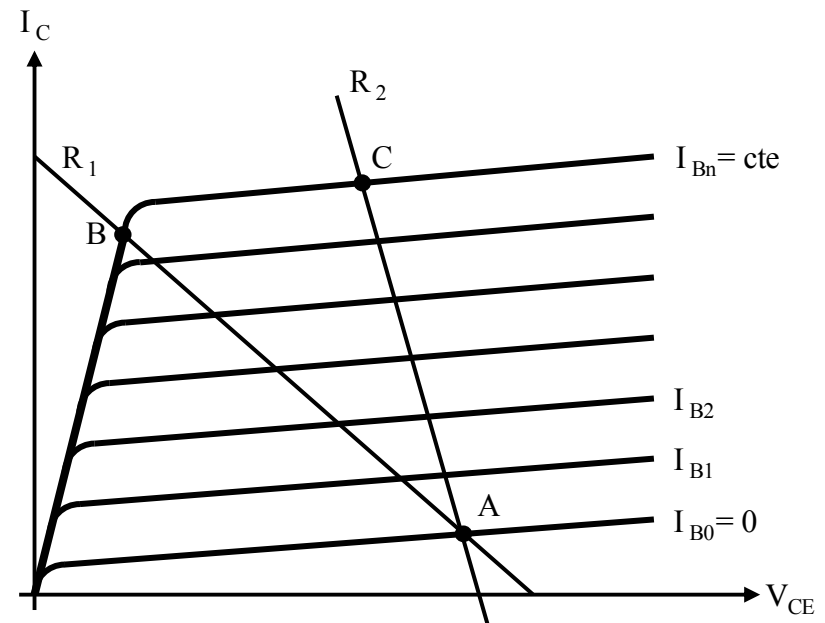
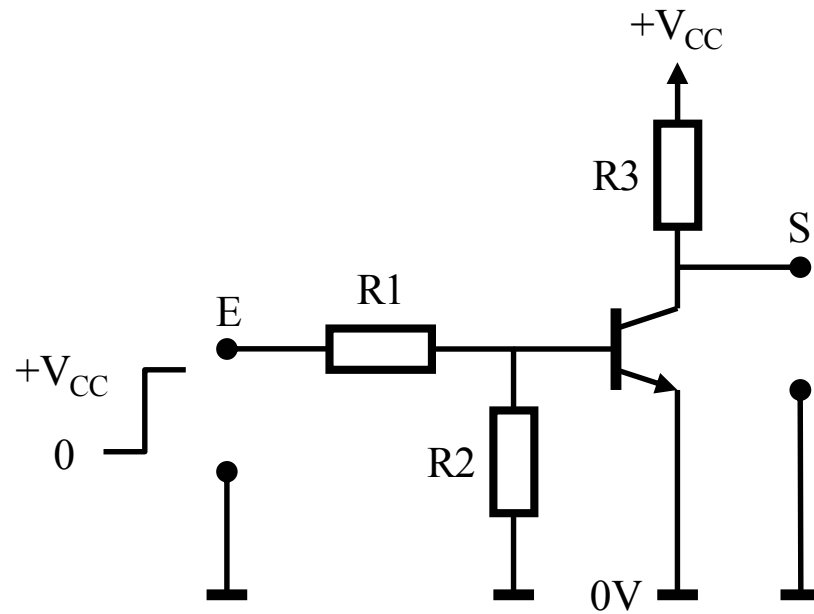
IMPLEMENTACIÓN DE LOS CIRCUITOS DIGITALES

PUERTA NOR CON DIODOS Y UN RELÉ



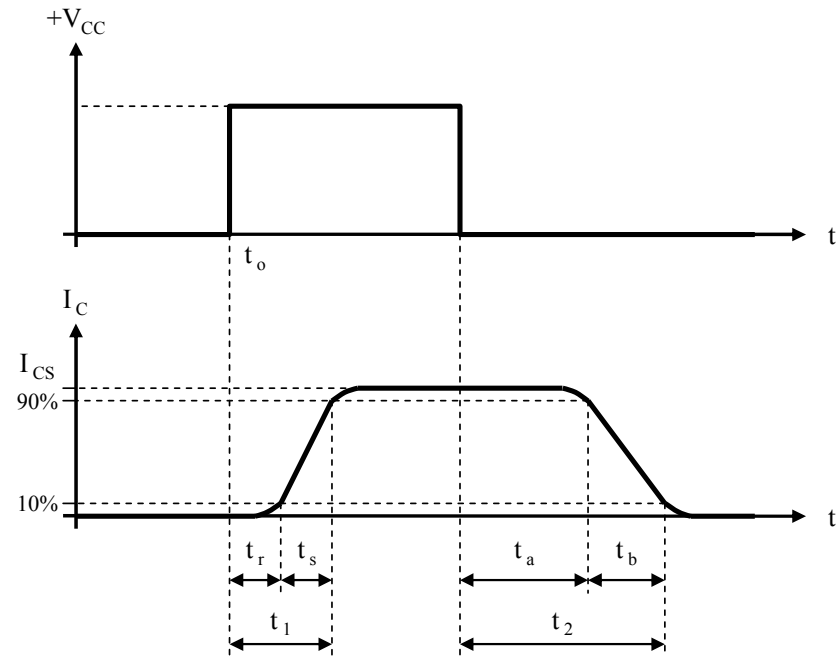
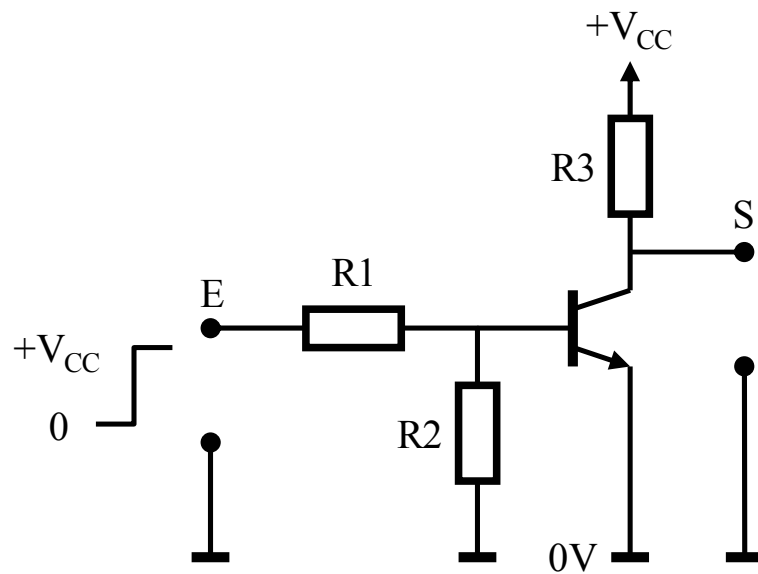
IMPLEMENTACIÓN DE LOS CIRCUITOS DIGITALES

INVERSOR CON TRANSISTOR BIPOLAR



IMPLEMENTACIÓN DE LOS CIRCUITOS DIGITALES

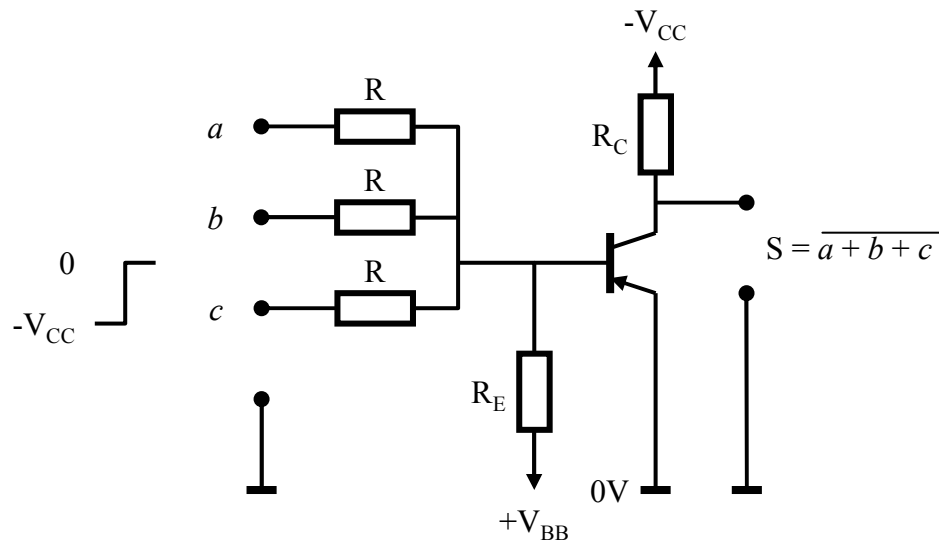
COMPORTAMIENTO DE UN INVERSOR IMPLEMENTADO CON UN TRANSISTOR BIPOLAR



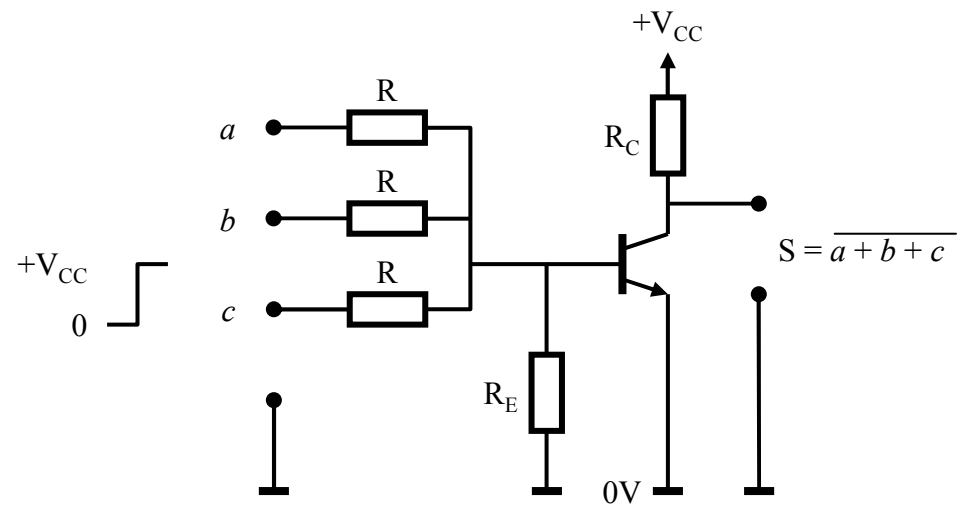
IMPLEMENTACIÓN DE LOS CIRCUITOS DIGITALES

RELÉS ESTÁTICOS (*STATIC RELAY*)

PUERTAS NAND Y NOR CON TRANSISTORES BIPOLARES

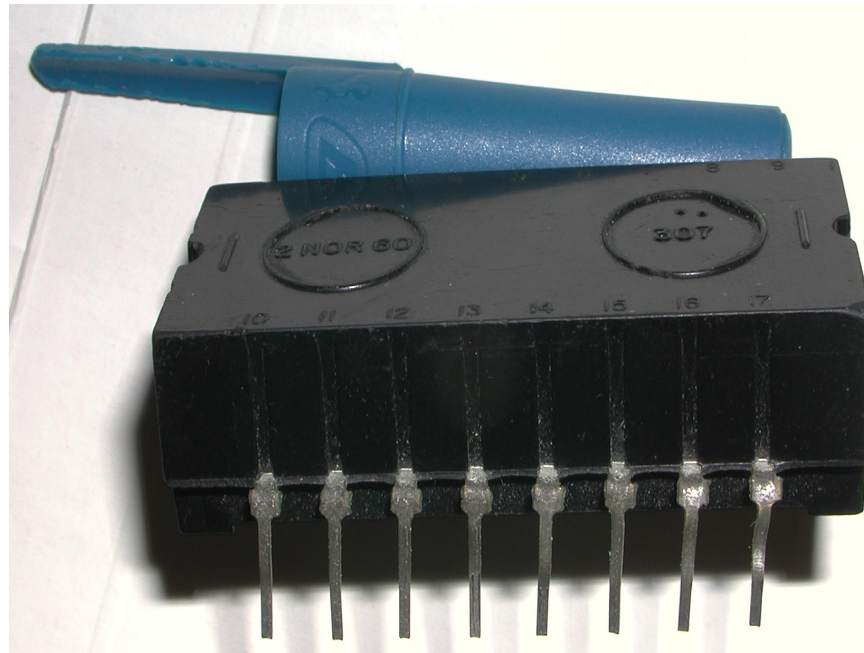


Germanio



Silicio

IMPLEMENTACIÓN DE LOS CIRCUITOS DIGITALES



Circuito bloque (Relé estático) de la familia NORBIT (Cortesía de Philips)

CIRCUITOS INTEGRADOS DIGITALES MONOLÍTICOS (CIDM)

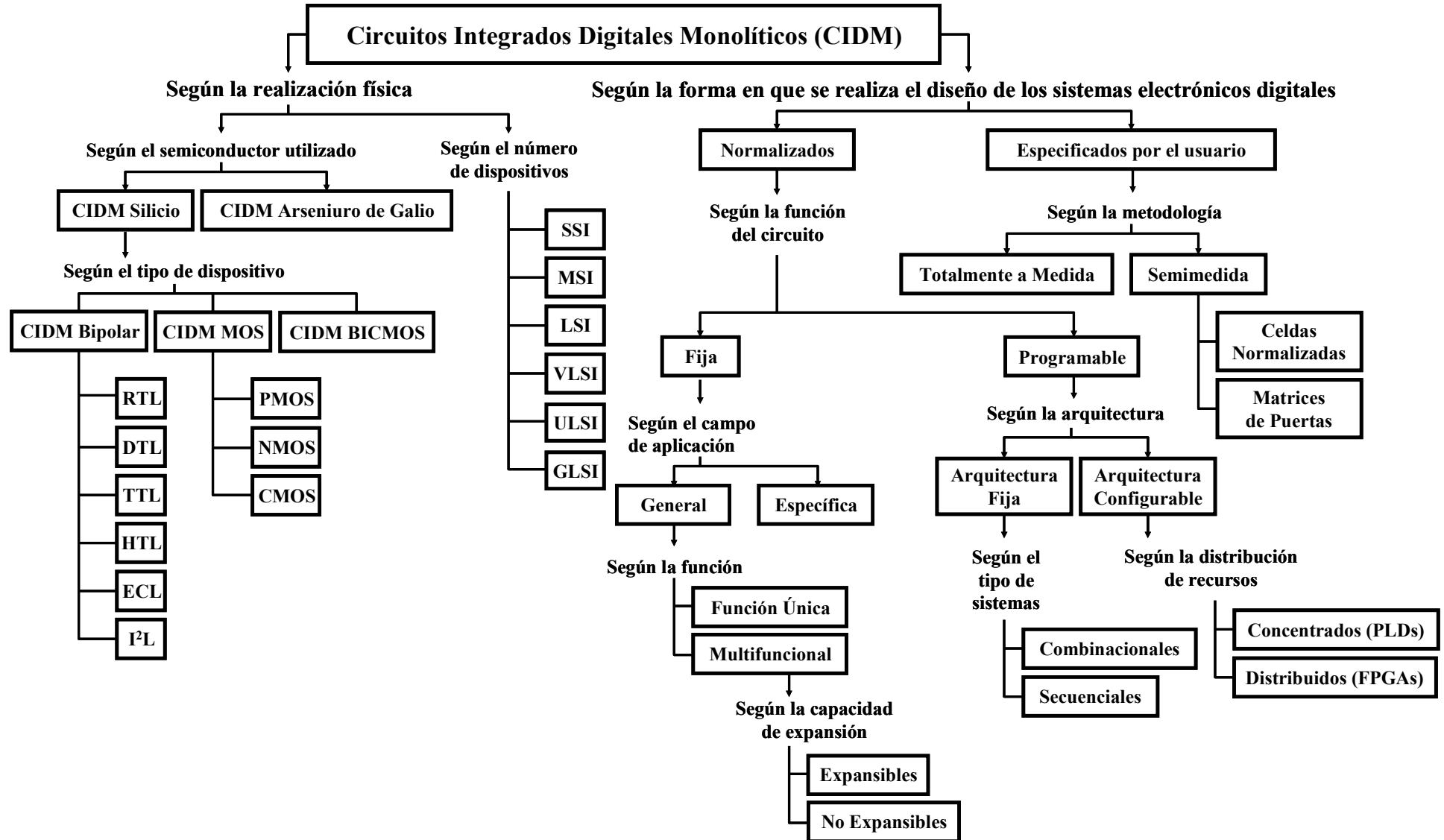
FUNDAMENTOS

El progreso de la tecnología de fabricación de los semiconductores permitió, a mediados de la década de 1960, la difusión de varios componentes electrónicos en un único sustrato semiconductor.

Se desarrolló así el «circuito integrado monolítico» (*Monolithic Integrated Circuit*), conocido como “*Chip*” y se inició el desarrollo de la Microelectrónica que es:

Área de la Electrónica Aplicada dedicada al estudio de los métodos y procesos de implementación de los circuitos integrados monolíticos (CIDM).

CLASIFICACIÓN DE LOS CIDM



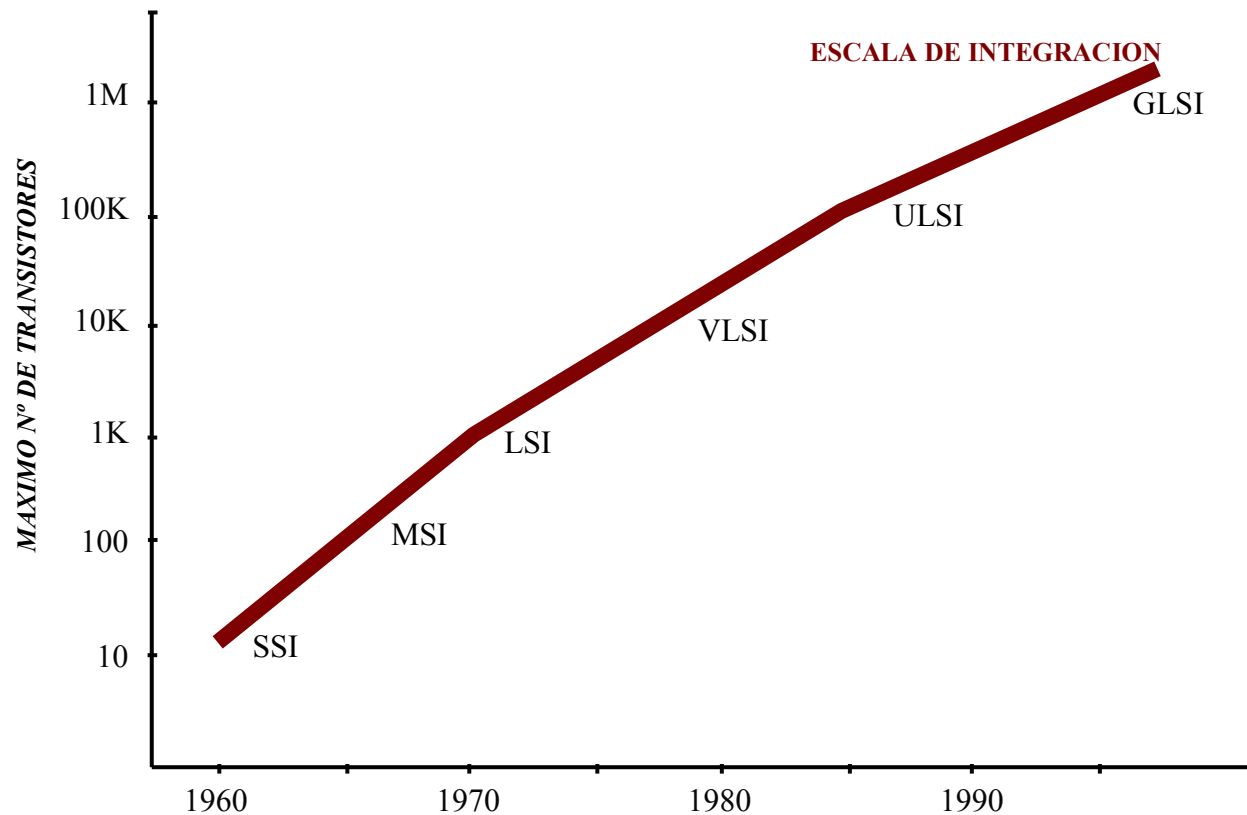
CLASIFICACIÓN DE LOS CIDM SEGÚN LA FORMA DE IMPLEMENTACIÓN

Clasificación de los CIDM según el número de dispositivos

Nivel de integración	Nº de transistores	Nº de puertas	Fecha aproximada
<i>Pequeña escala de integración (SSI)</i>	10 a 100	1 a 10	1960
<i>Mediana escala de integración (MSI)</i>	100 a 1.000	10 a 100	1965
<i>Gran escala de integración (LSI)</i>	1.000 a 10.000	100 a 1.000	1970
<i>Muy gran escala de integración (VLSI)</i>	10.000 a 100.000	1.000 a 10.000	1978
<i>Ultra gran escala de integración (ULSI)</i>	100.000 a 1.000.000	10.000 a 100.000	1985
<i>Giga gran escala de integración (GLSI)</i>	> 1.000.000	> 100.000	1995

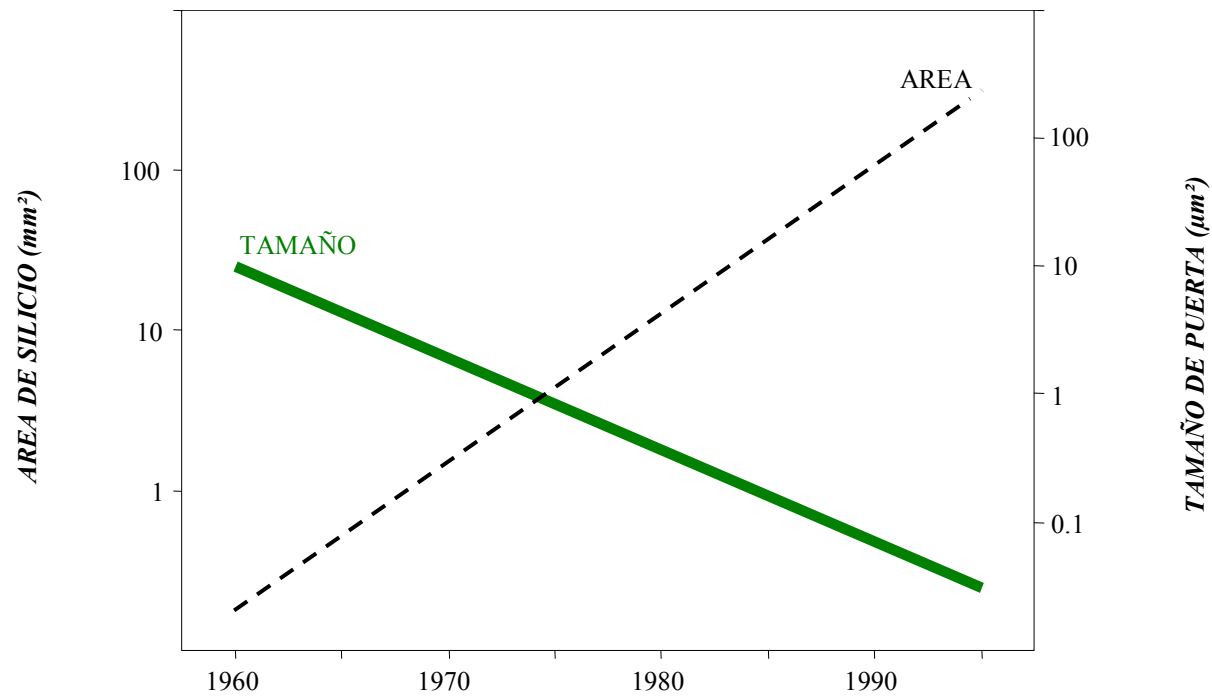
CLASIFICACIÓN DE LOS CIMM SEGÚN LA FORMA DE IMPLEMENTACIÓN

Evolución de la capacidad de integración



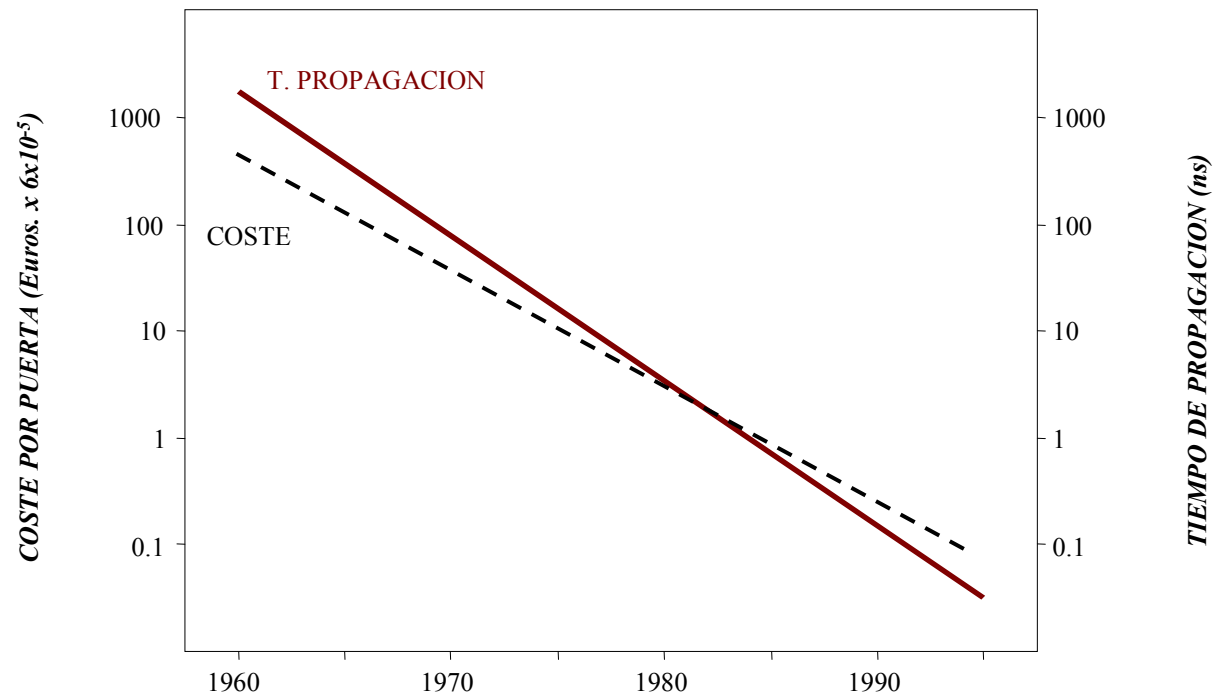
CLASIFICACIÓN DE LOS CIDM SEGÚN LA FORMA DE IMPLEMENTACIÓN

Evolución del tamaño del transistor y del área del CI

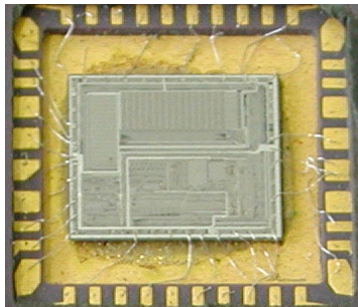


CLASIFICACIÓN DE LOS CIDM SEGÚN LA FORMA DE IMPLEMENTACIÓN

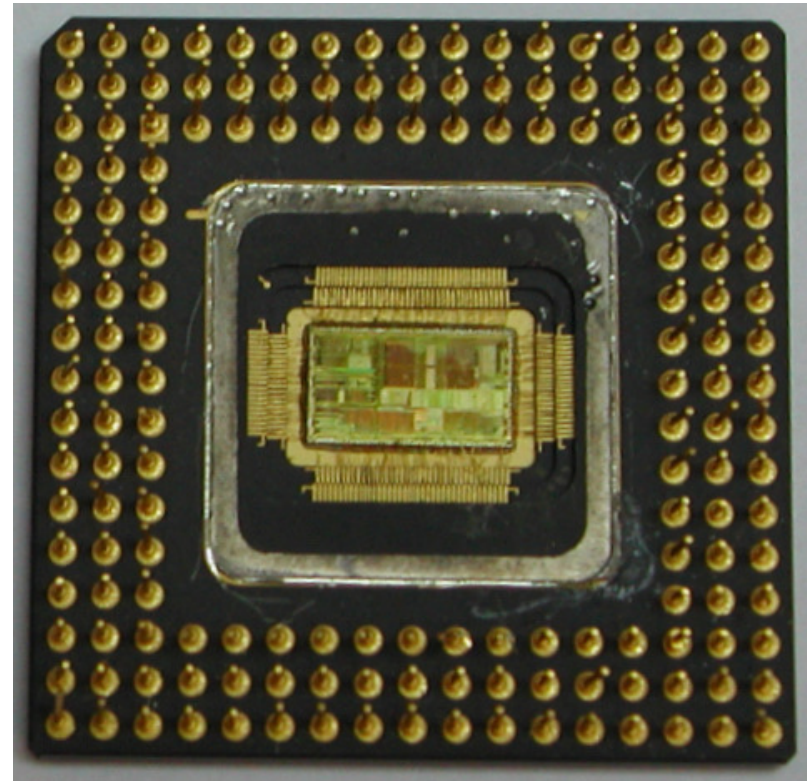
Evolución del tiempo de propagación y del coste de la puerta



CLASIFICACIÓN DE LOS CIMM SEGÚN LA FORMA DE IMPLEMENTACIÓN



Circuito integrado LSI



Circuito integrado VLSI

CLASIFICACIÓN DE LOS CIDM DIGITALES SEGÚN LA FORMA DE IMPLEMENTACIÓN

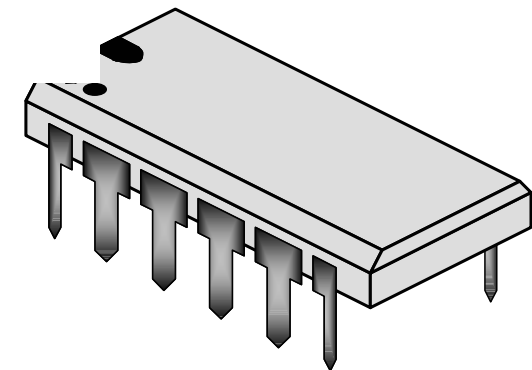
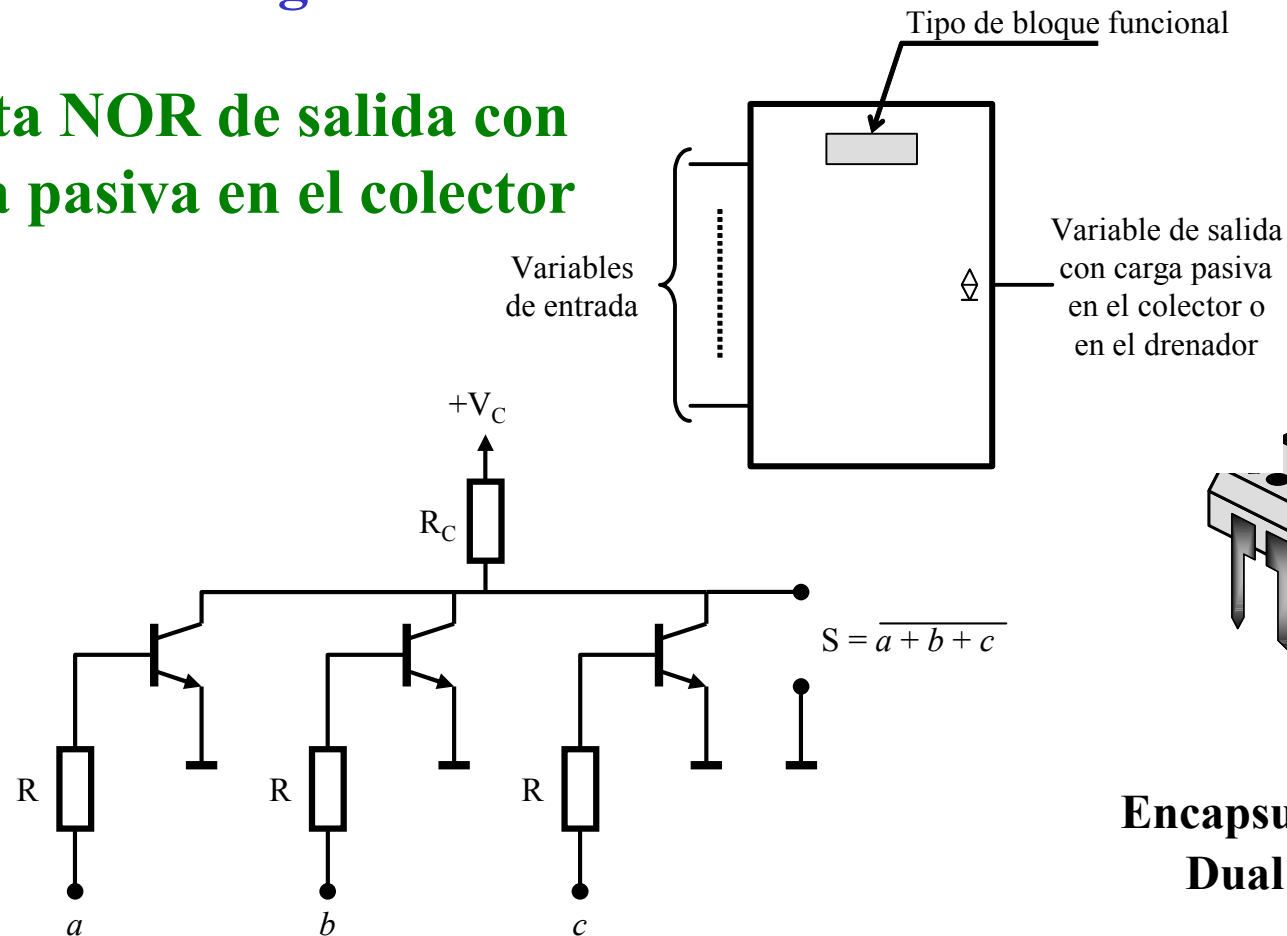
Clasificación según el tipo de dispositivos utilizados:

- CIDM de Silicio**
 - CIDM bipolares**
 - CIDM MOS**
 - CIDM BicMOS**
- CIDM de arseniuro de Galio**

CIDM BIPOLARES DE SILICIO

Primer circuito integrado digital monolítico (1965)
Tecnología RTL (*Resistor Transistor logic*)

Puerta NOR de salida con carga pasiva en el colector

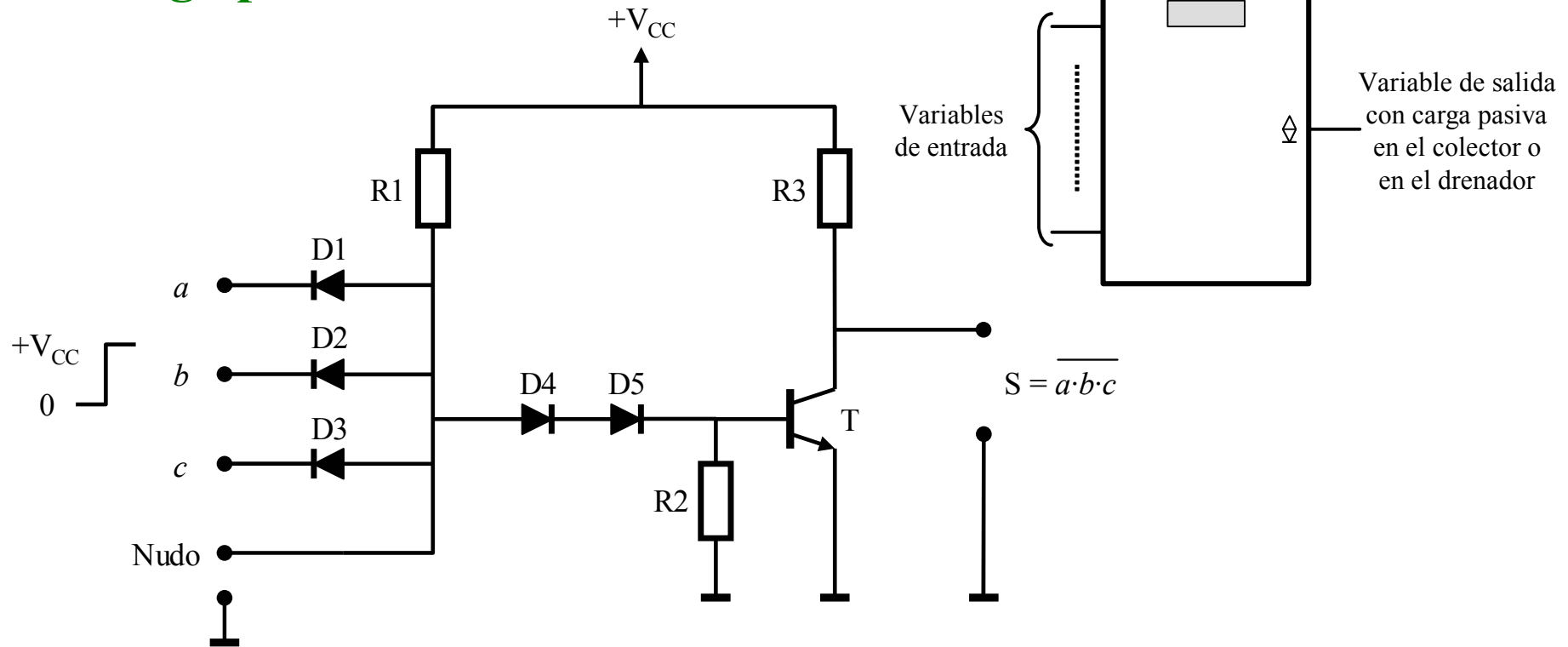


Encapsulado (*Package*)
Dual In Line (DIL)

CIDM BIPOLARES DE SILICIO

Tecnología DTL (*Diode Transistor logic*) (1967)

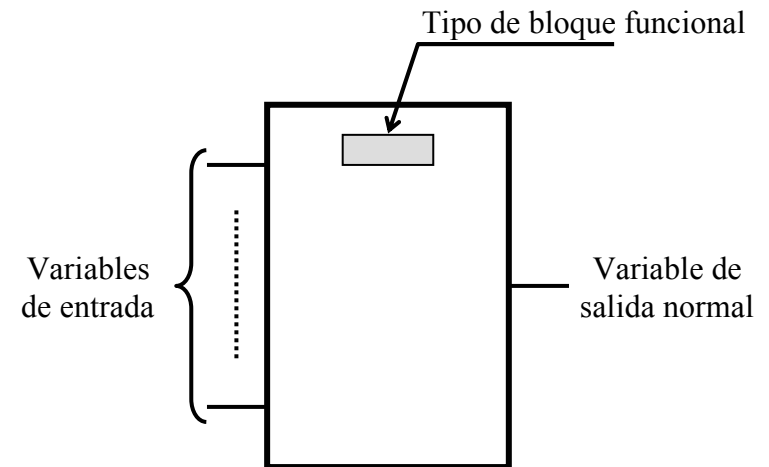
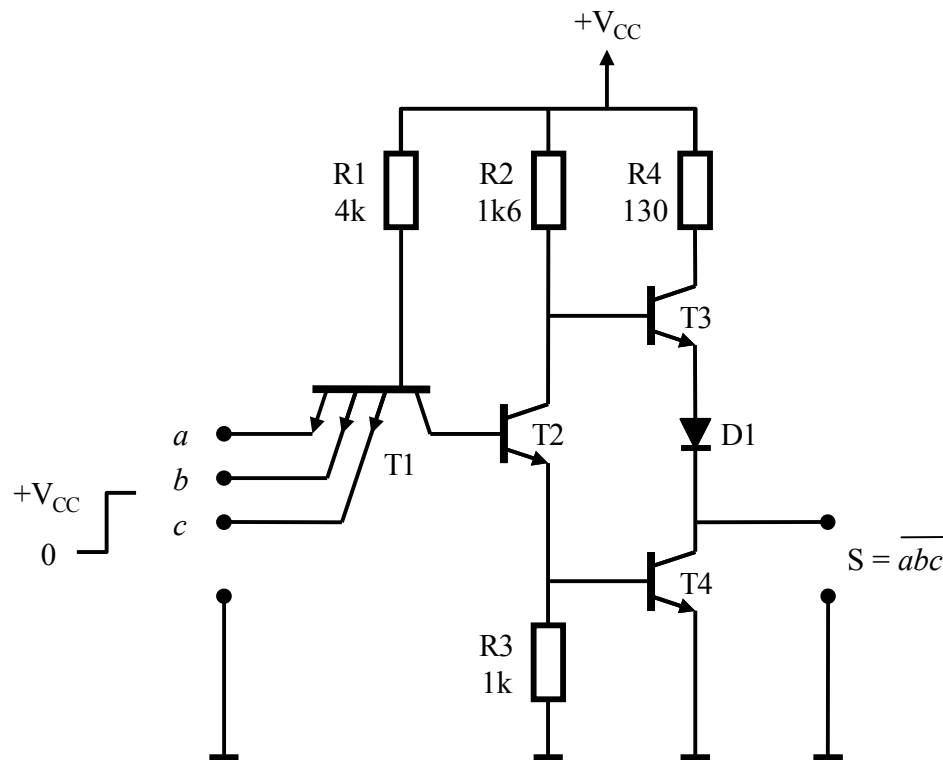
Puerta NAND de salida con carga pasiva en el colector



CIDM BIPOLARES DE SILICIO

Tecnología TTL (*Transistor Transistor logic*) (1969)

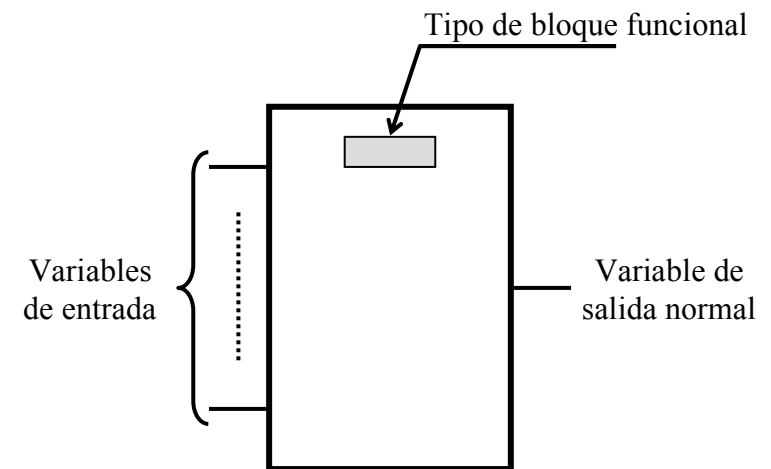
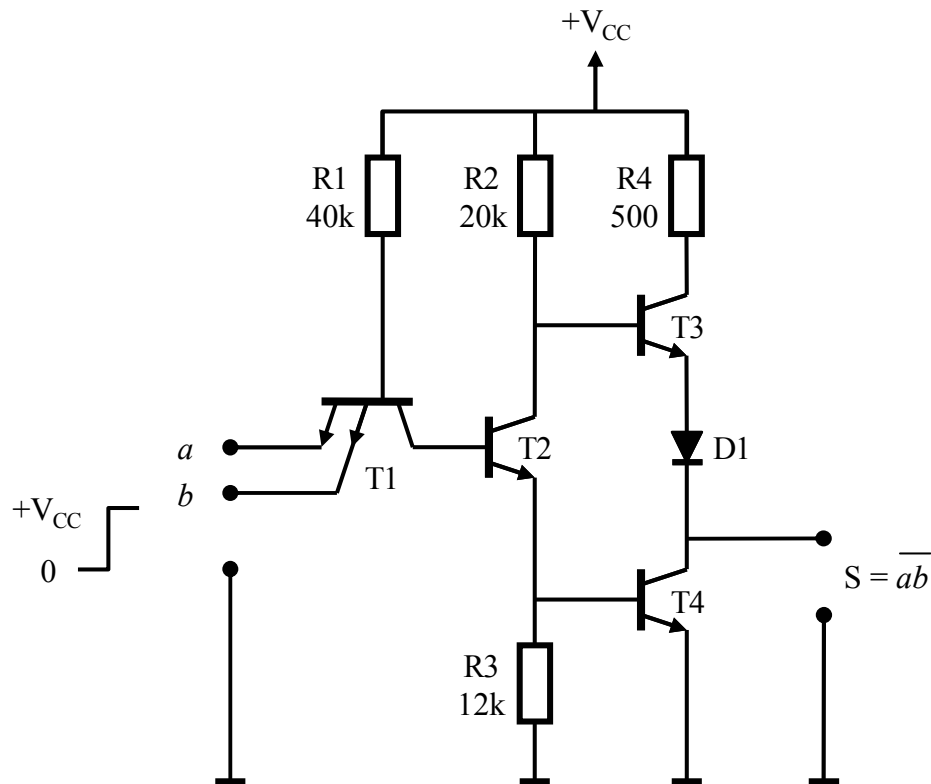
Puerta NAND de salida normal



CIDM DIGITALES BIPOLARES DE SILICIO

Tecnología TTL de baja potencia (*Low power*)

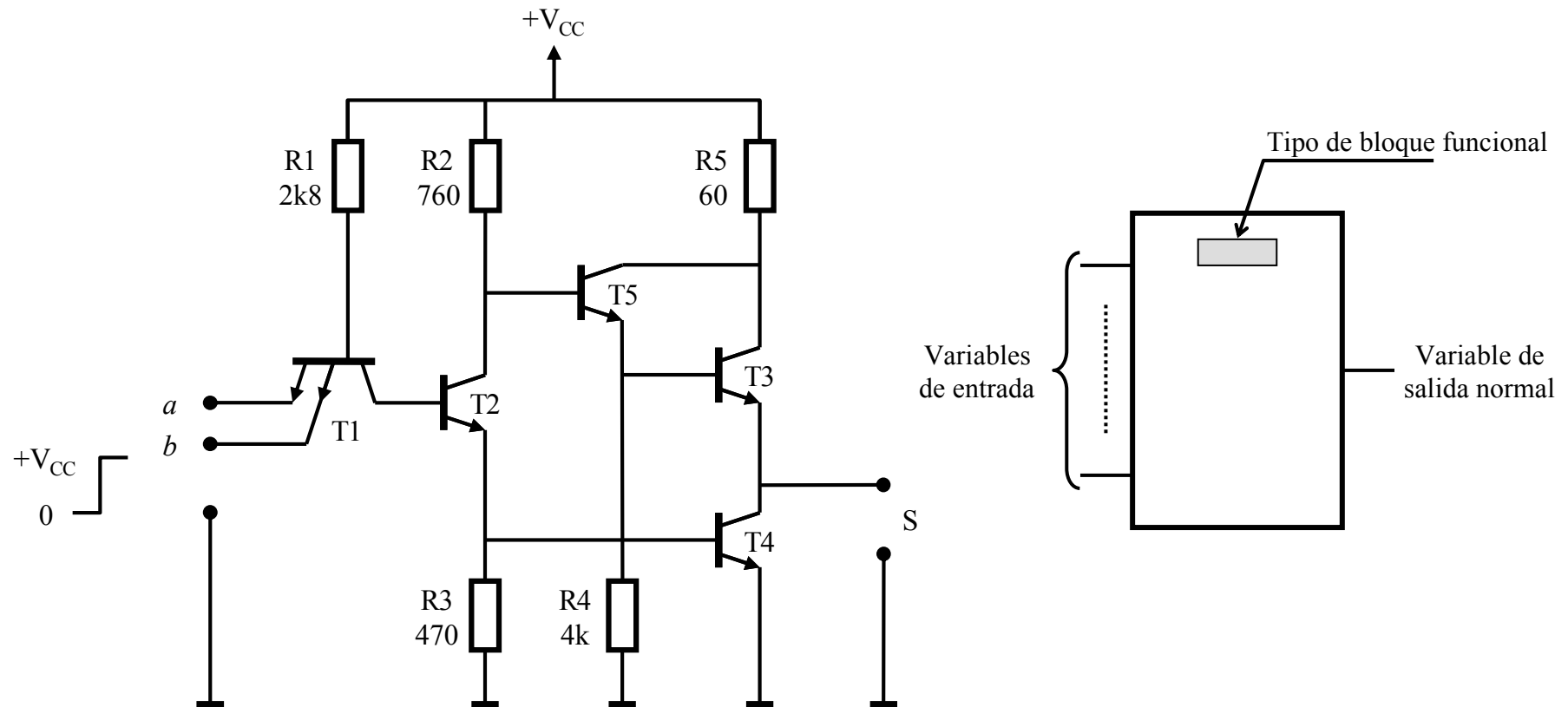
Puerta NAND de salida normal



CIDM DIGITALES BIPOLARES DE SILICIO

Tecnología TTL de gran velocidad (*High speed*)

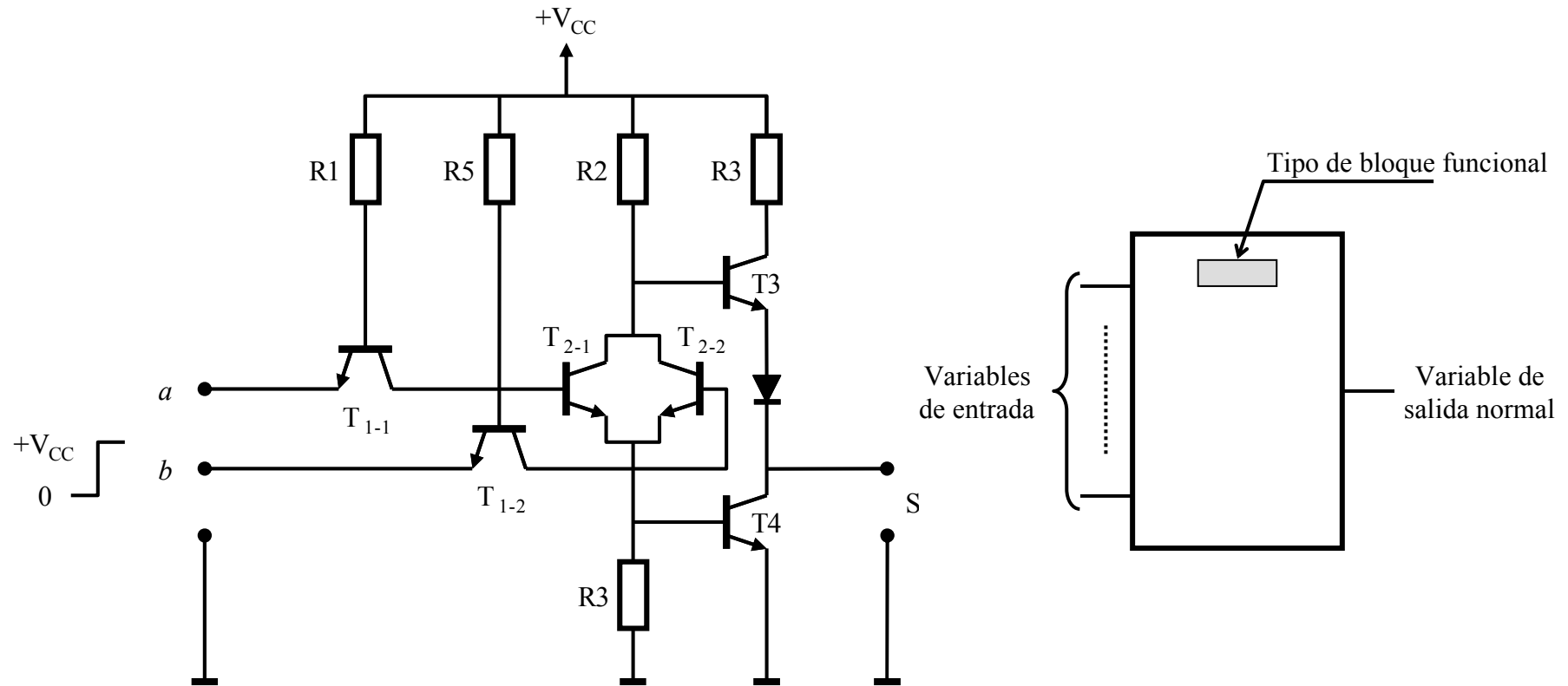
Puerta NAND de salida normal



CIDM BIPOLARES DE SILICIO

Tecnología TTL

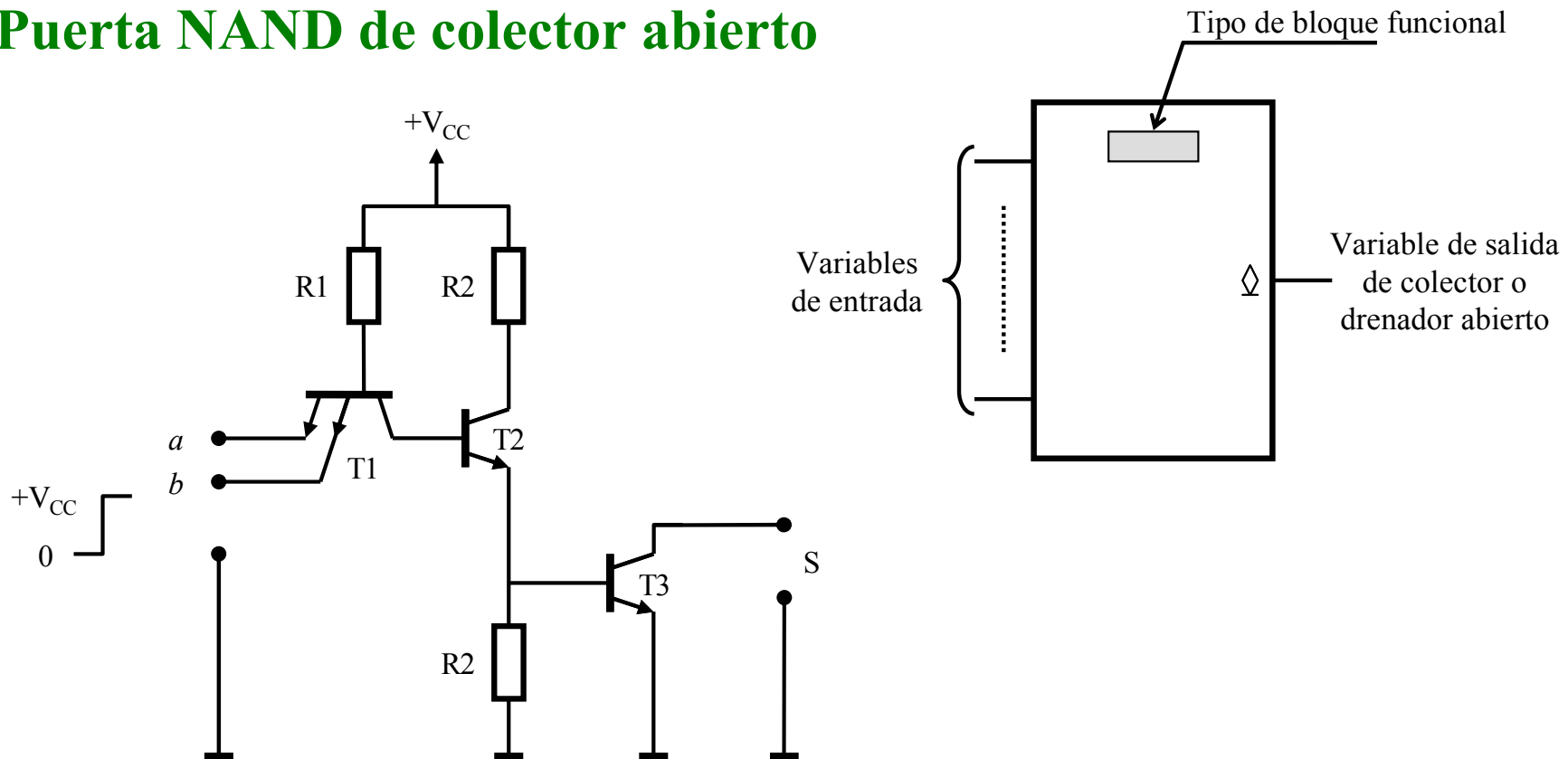
Puerta NOR de salida normal



CIDM BIPOLARES DE SILICIO

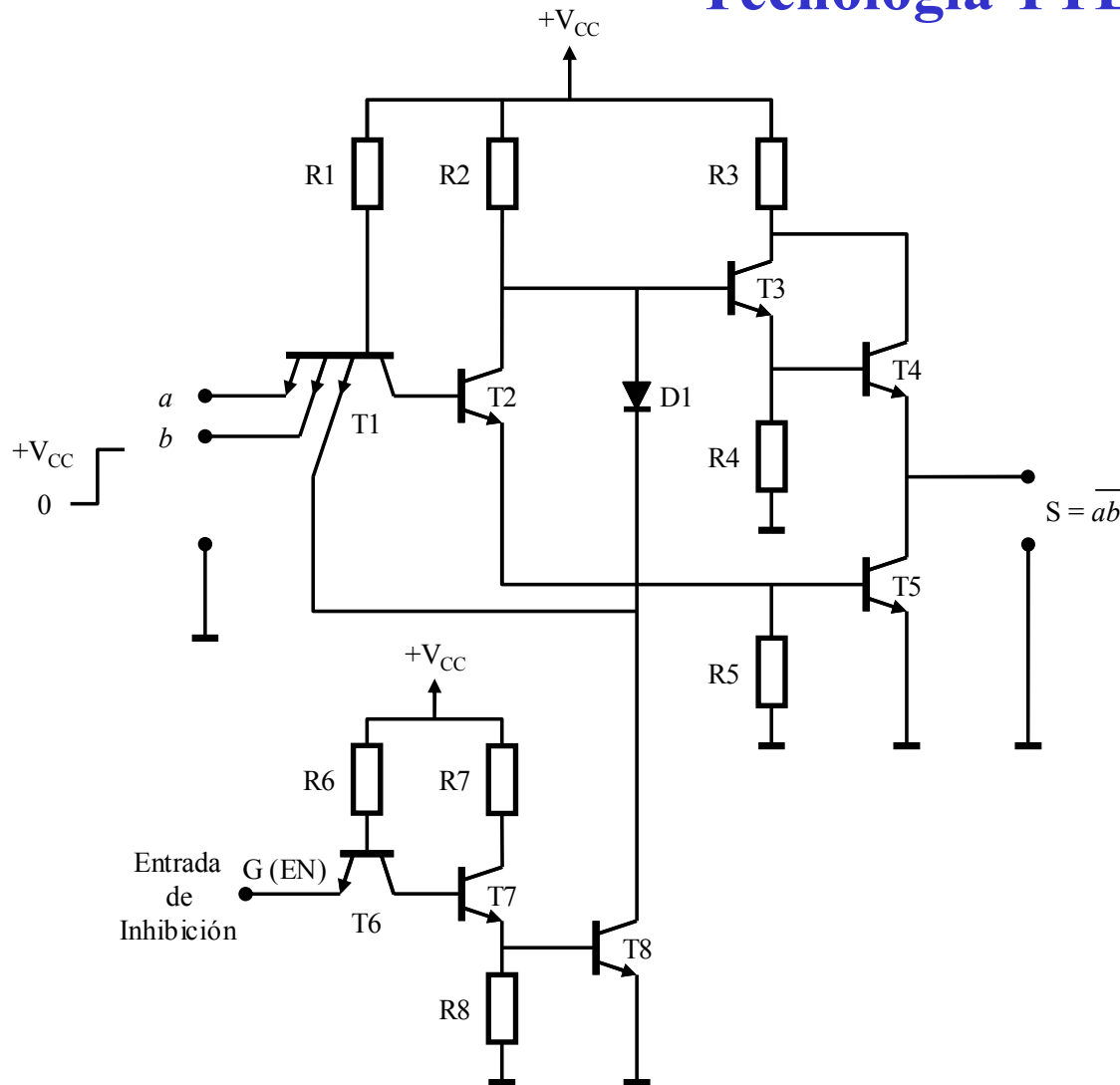
Tecnología TTL

Puerta NAND de colector abierto

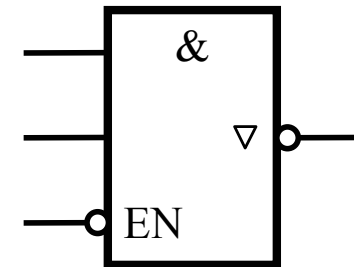


CIDM BIPOLARES DE SILICIO

Tecnología TTL



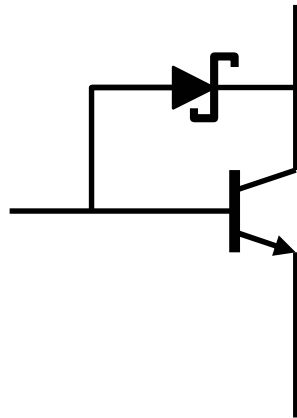
**Puerta NAND
de tres estados**



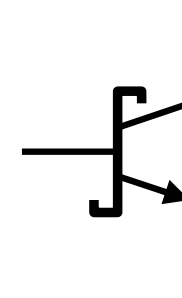
CIDM BIPOLARES DE SILICIO

TECNOLOGIAS BIPOLARES NO SATURADAS

Tecnología TTL Schottky



Transistor Schottky



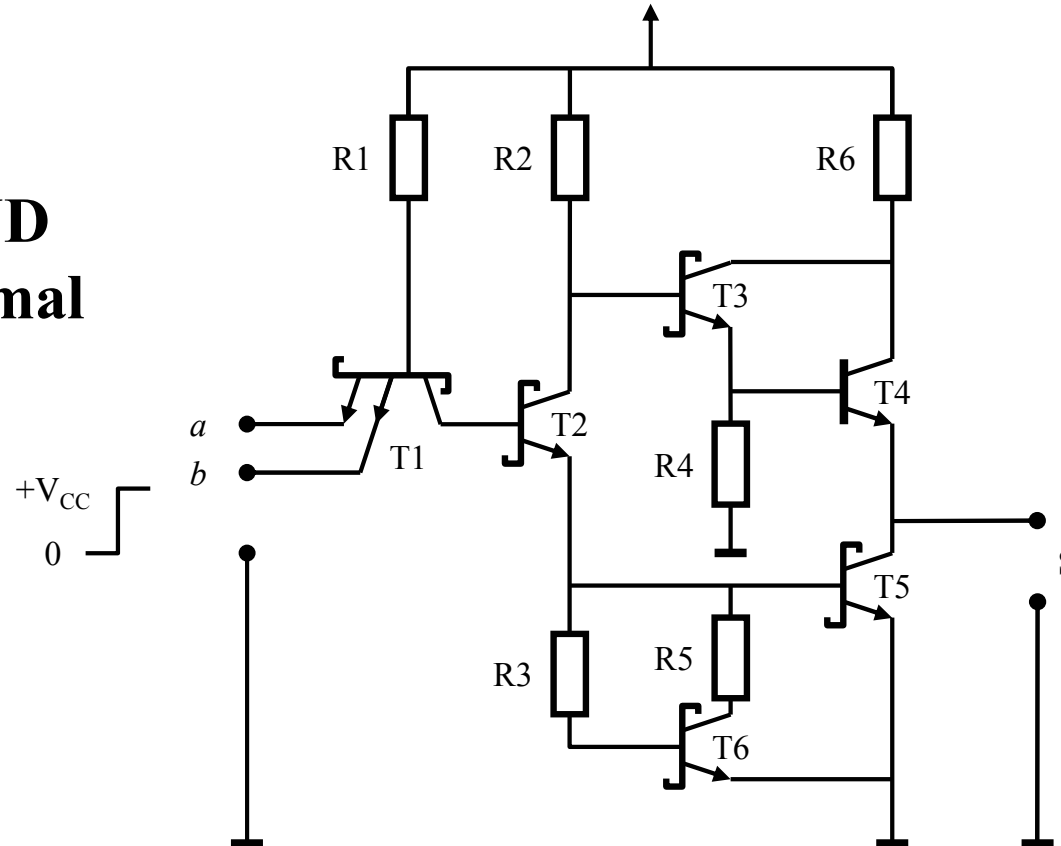
**Símbolo del
transistor Schottky**

CIDM BIPOLARES DE SILICIO

TECNOLOGIAS NO SATURADAS

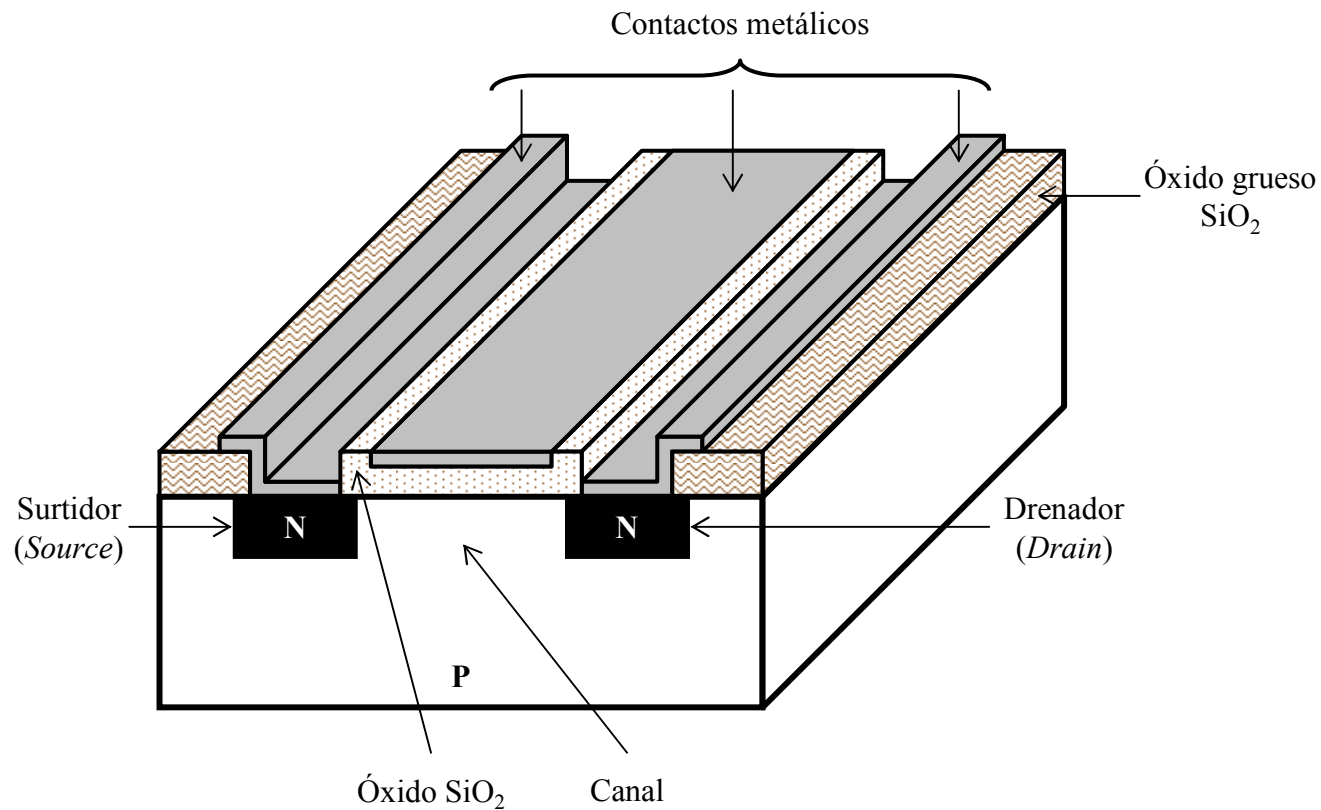
Tecnología TTL Schottky

**Puerta NAND
de salida normal**



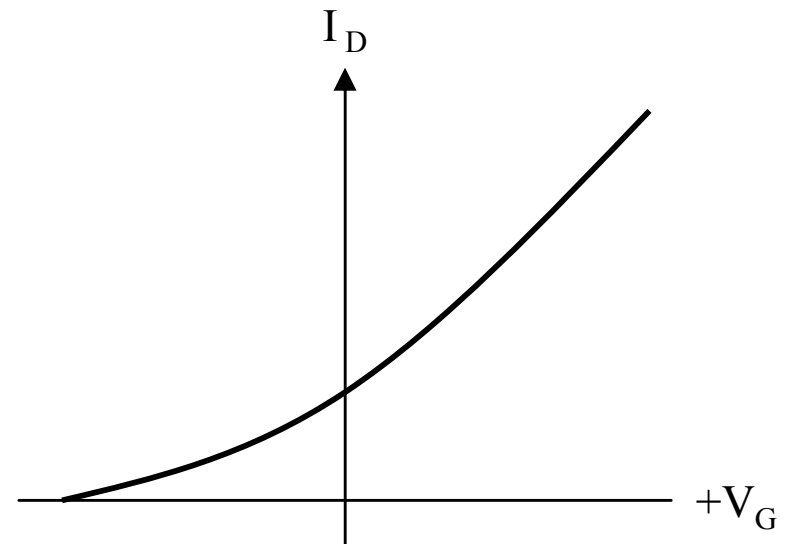
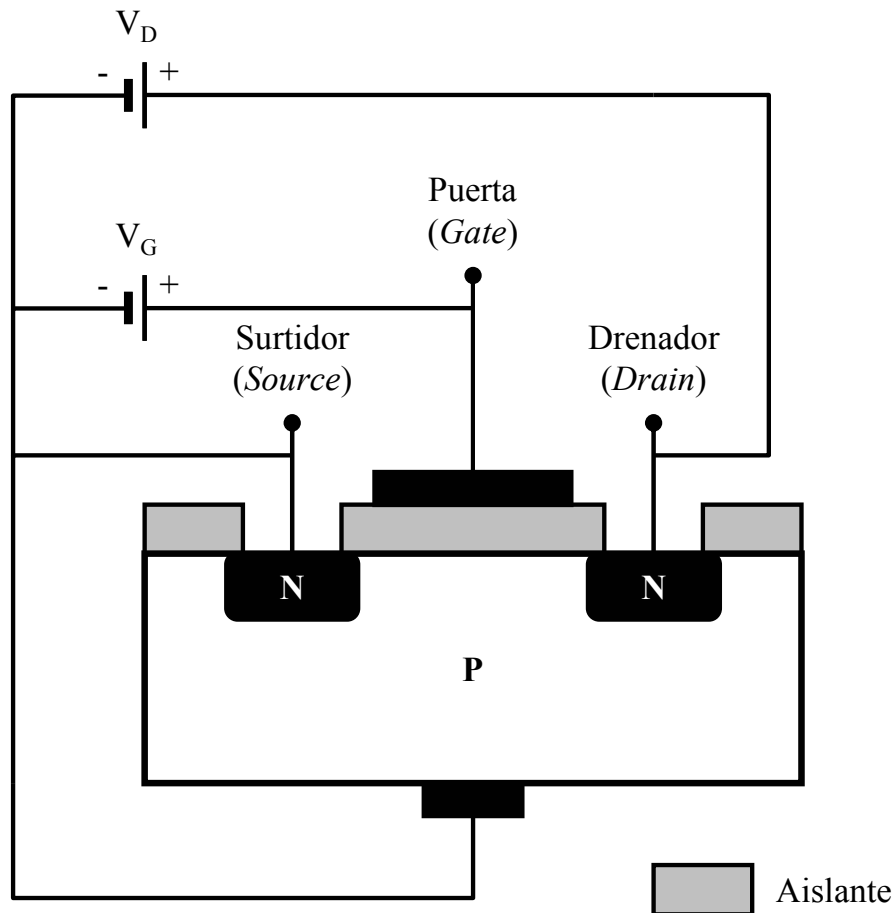
CIDM MOS DE SILICIO

TRANSISTOR MOS DE CANAL N



CIDM MOS DE SILICIO

TRANSISTOR MOS DE CANAL N POLARIZADO

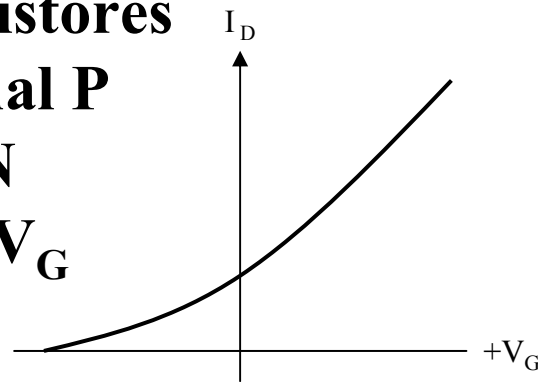


CIDM MOS DE SILICIO

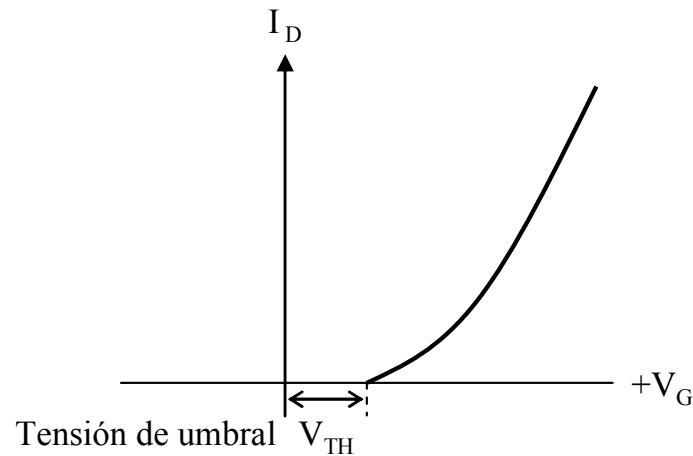
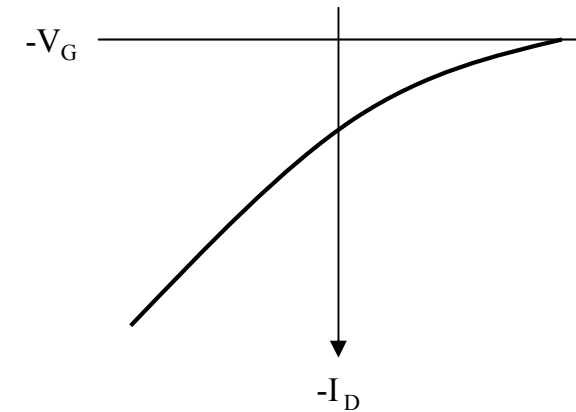
Transistores
de canal N

Transistores
de canal P

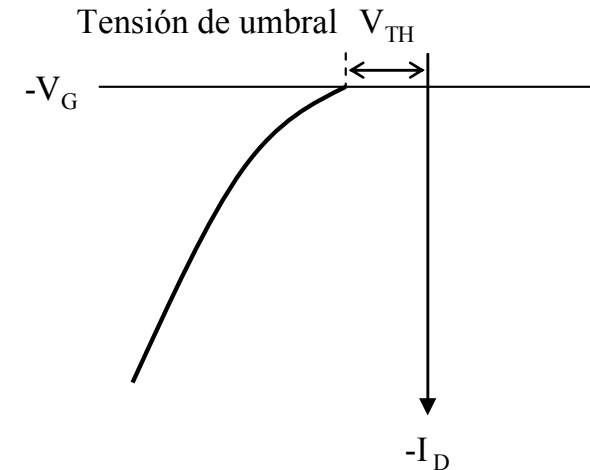
**Tipos de transistores
MOS de canal P
y canal N
Curvas I_D - V_G**



Transistores
empobrecidos
(Depletion)



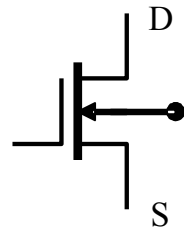
Transistores
enriquecidos
(Enhancement)



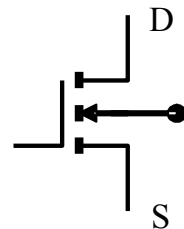
CIDM MOS DE SILICIO

PRIMEROS SÍMBOLOS DE LOS TRANSISTORES MOS

Transistores
de canal N

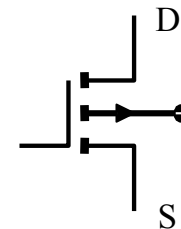
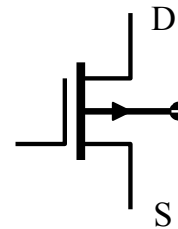


Transistores
empobrecidos
(Depletion)



Transistores
enriquecidos
(Enhancement)

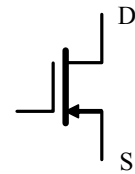
Transistores
de canal P



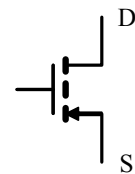
CIDM MOS DE SILICIO

SÍMBOLOS ALTERNATIVOS DE LOS TRANSISTORES MOS

Transistores canal N

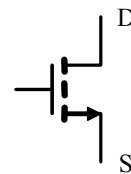
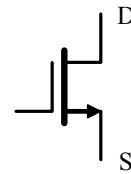


Transistores empobrecidos



Transistores enriquecidos

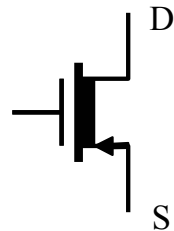
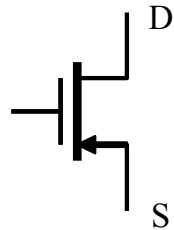
Transistores canal P



CIDM MOS DE SILICIO

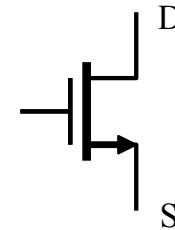
NUEVOS SÍMBOLOS ALTERNATIVOS DE LOS TRANSISTORES MOS

Transistores
de canal N

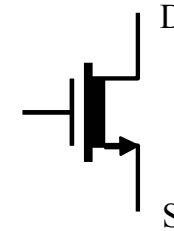


Transistores
enriquecidos
(Enhancement)

Transistores
de canal P



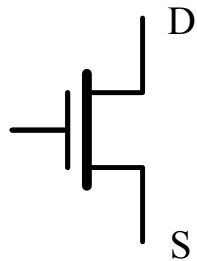
Transistores
empobrecidos
(Depletion)



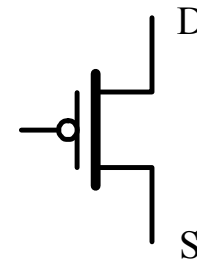
CIDM MOS DE SILICIO

SÍMBOLOS MÁS UTILIZADOS DE LOS TRANSISTORES MOS ENRIQUECIDOS EN LOS CIRCUITOS DIGITALES

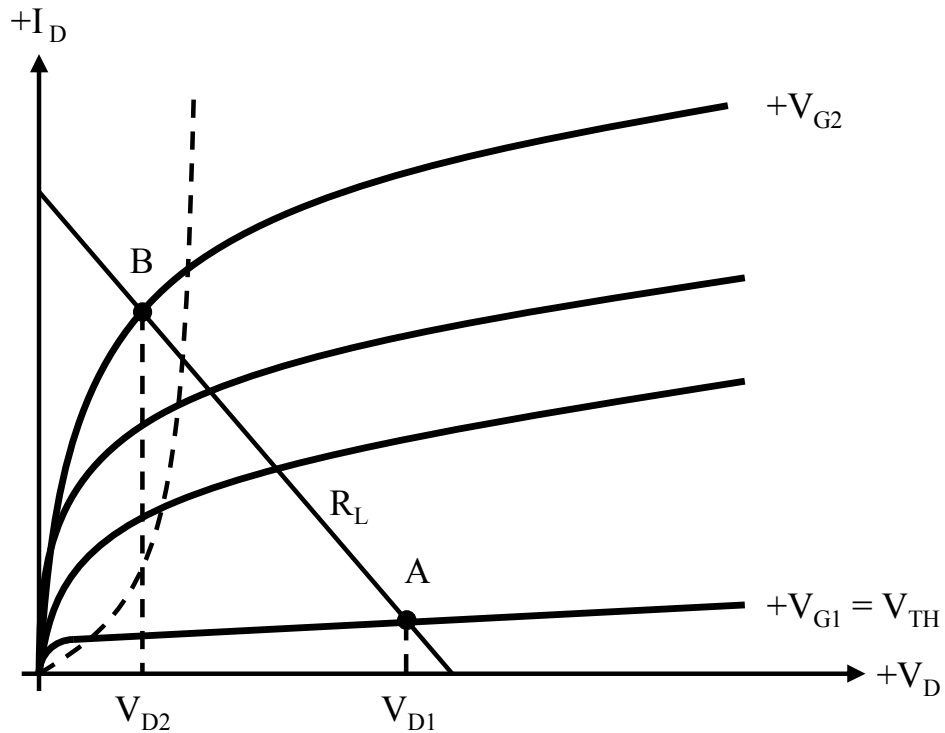
**Transistor
canal N**



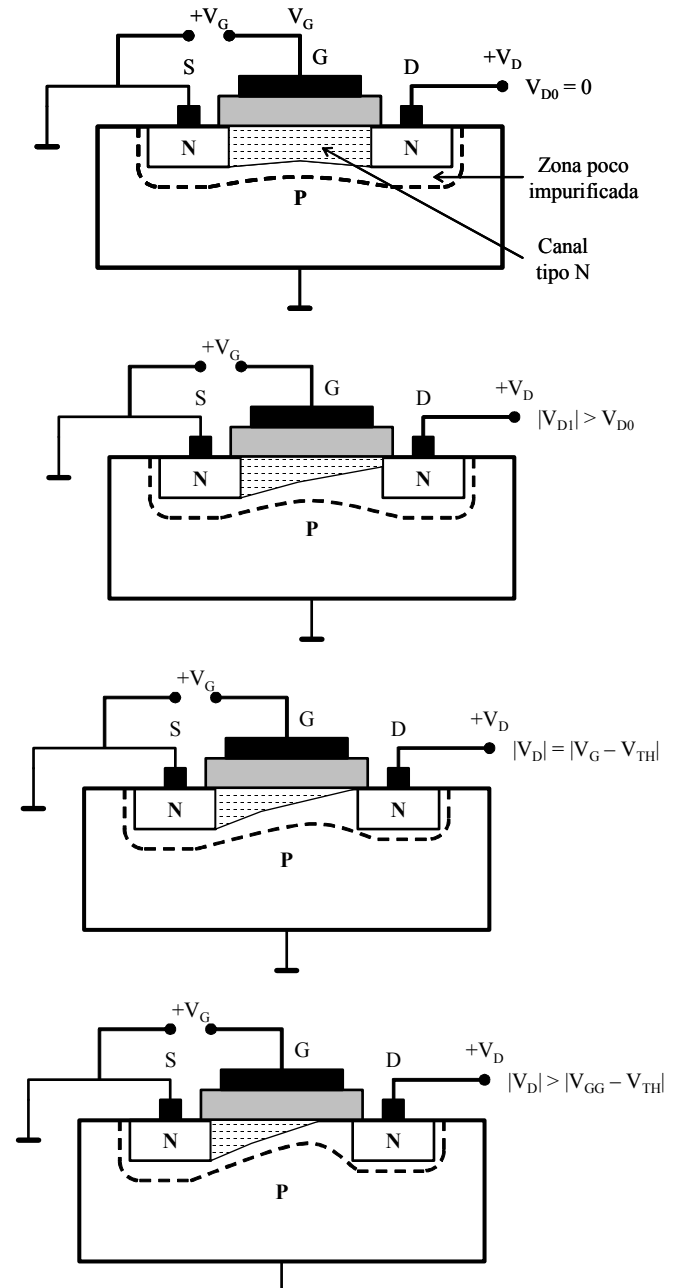
**Transistor
canal P**



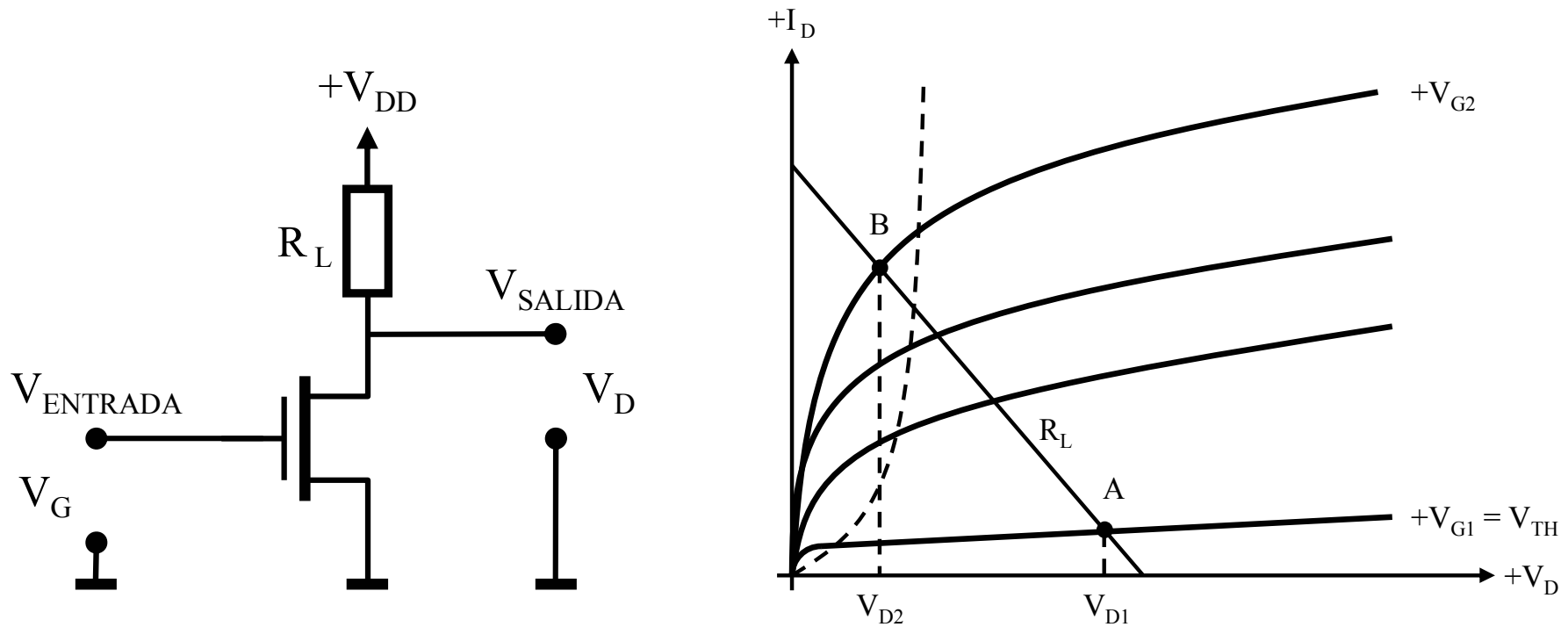
CIDM MOS DE SILICIO



Curva característica $I_D - V_{DS}$ para diferentes valores de la tensión puerta-surtidor de un transistor MOS de canal N enriquecido

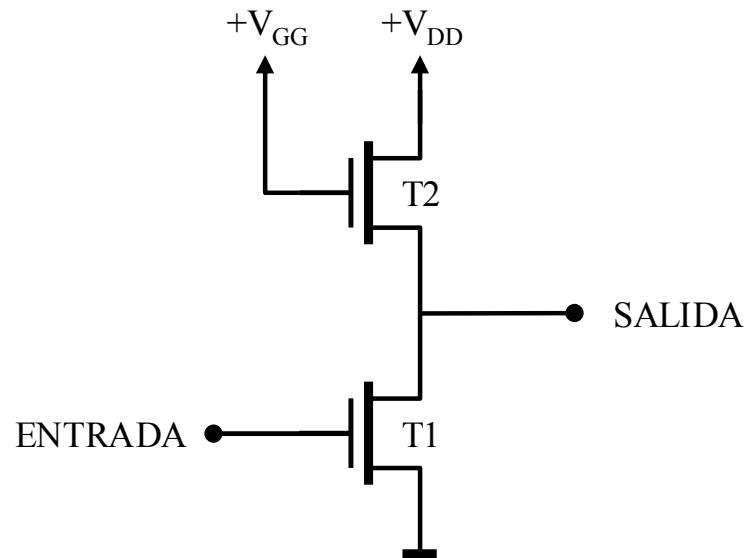


CIDM MOS DE SILICIO

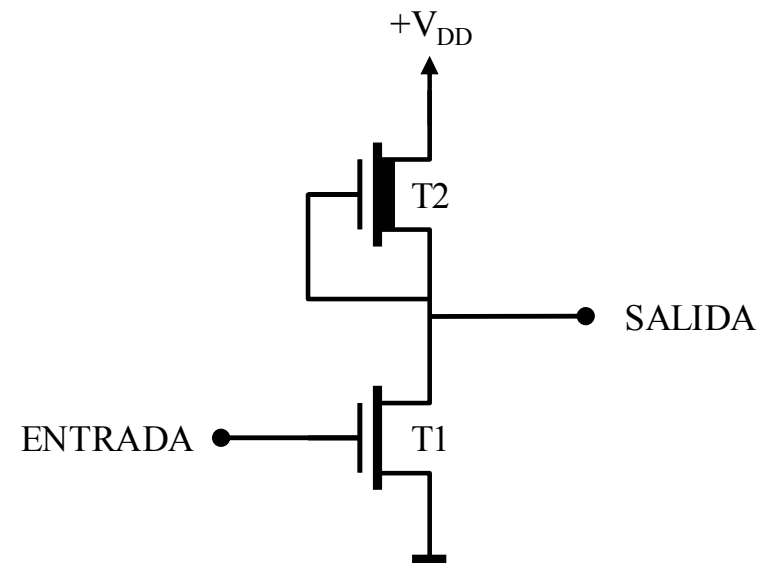


**Circuito de un inversor implementado
con un transistor MOS de canal N enriquecido y una resistencia**

CIDM MOS DE SILICIO



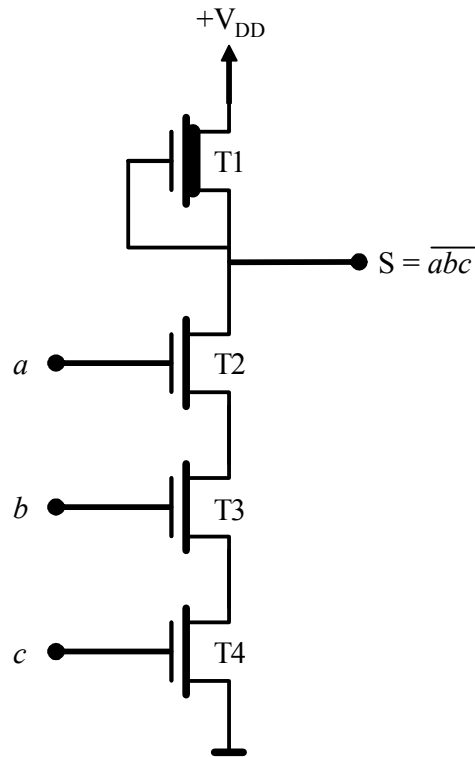
Inversor implementado con un transistor MOS de canal N enriquecido en el que la carga es otro transistor MOS de canal N enriquecido



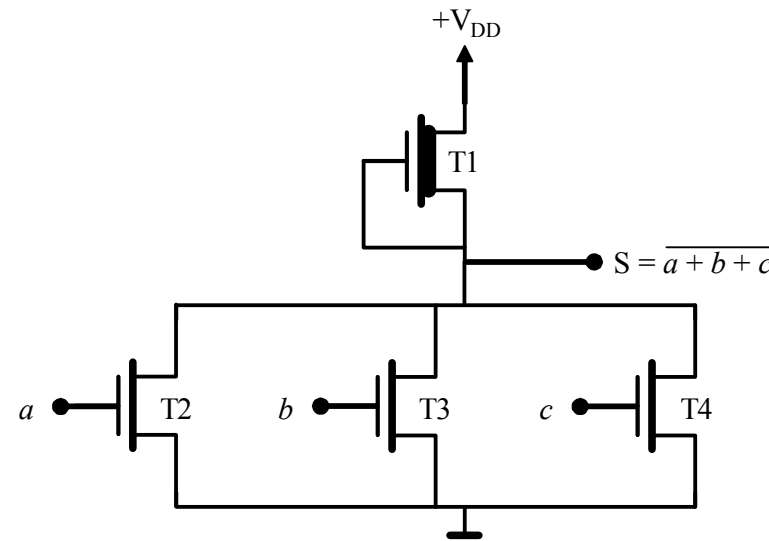
Inversor implementado con un transistor MOS de canal N enriquecido en el que la carga es un transistor MOS de canal N empobrecido

CIDM MOS DE SILICIO

TECNOLOGÍA MOS DE CANAL N ESTÁTICA



Puerta NO-Y (NAND)

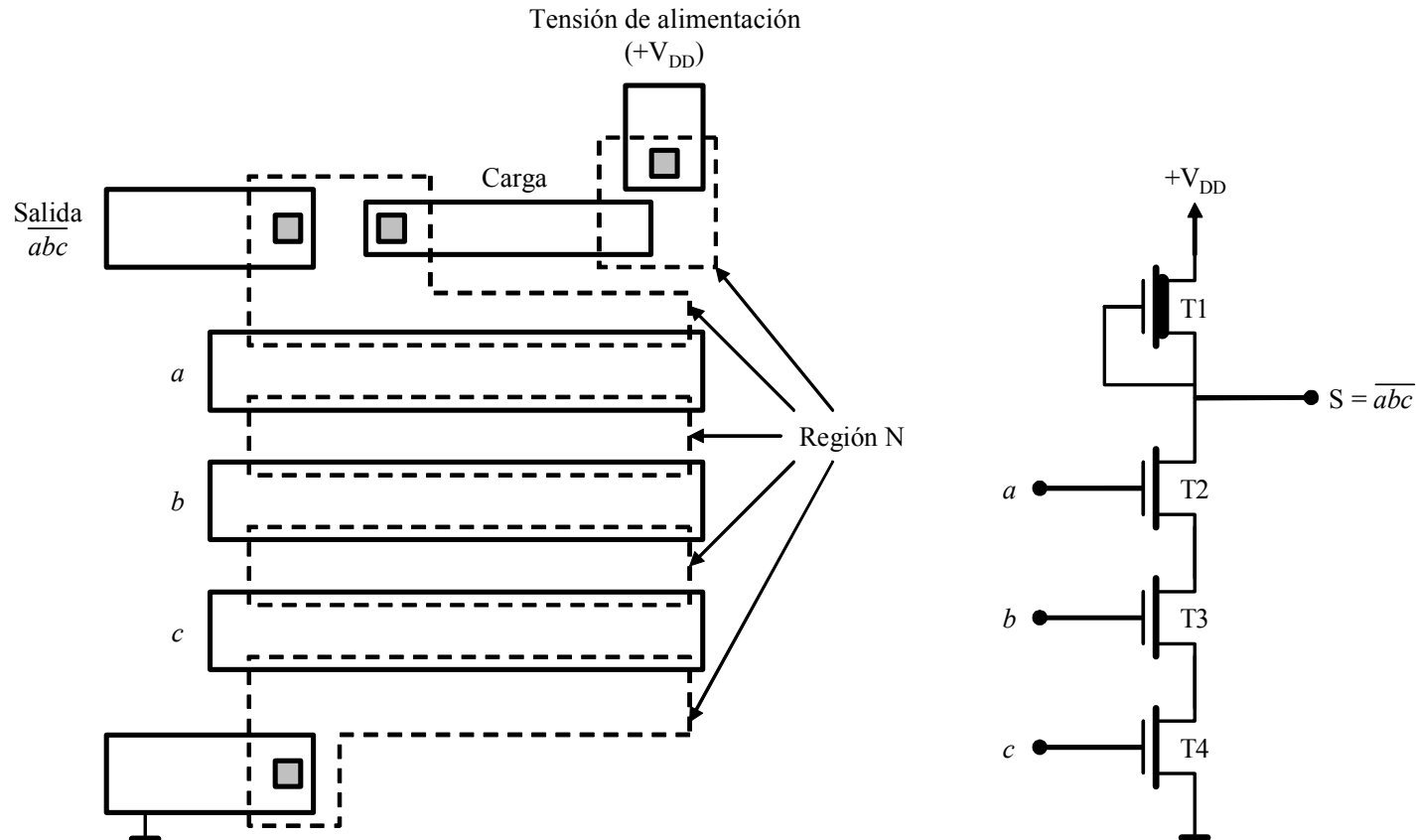


Puerta NO-O (NOR)

CIDM MOS DE SILICIO

TECNOLOGÍA MOS DE CANAL N ESTÁTICA

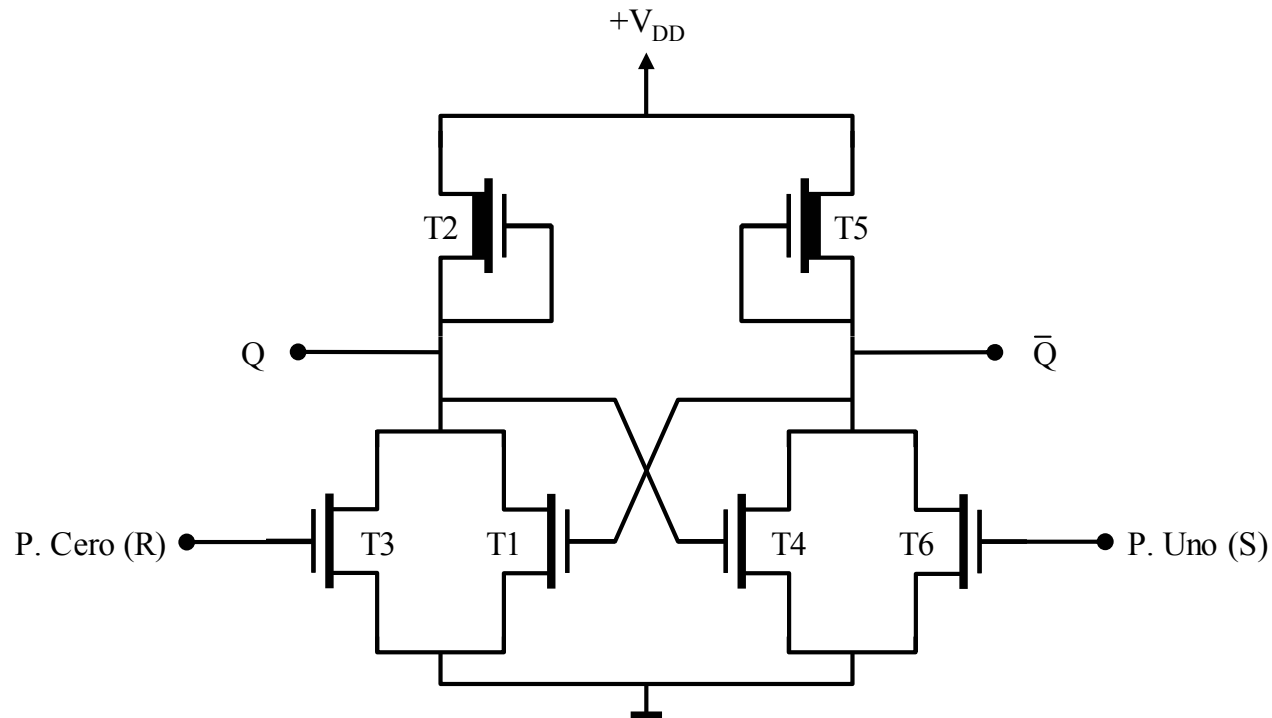
Implementación física de una puerta NAND de tecnología NMOS estática



CIDM MOS DE SILICIO

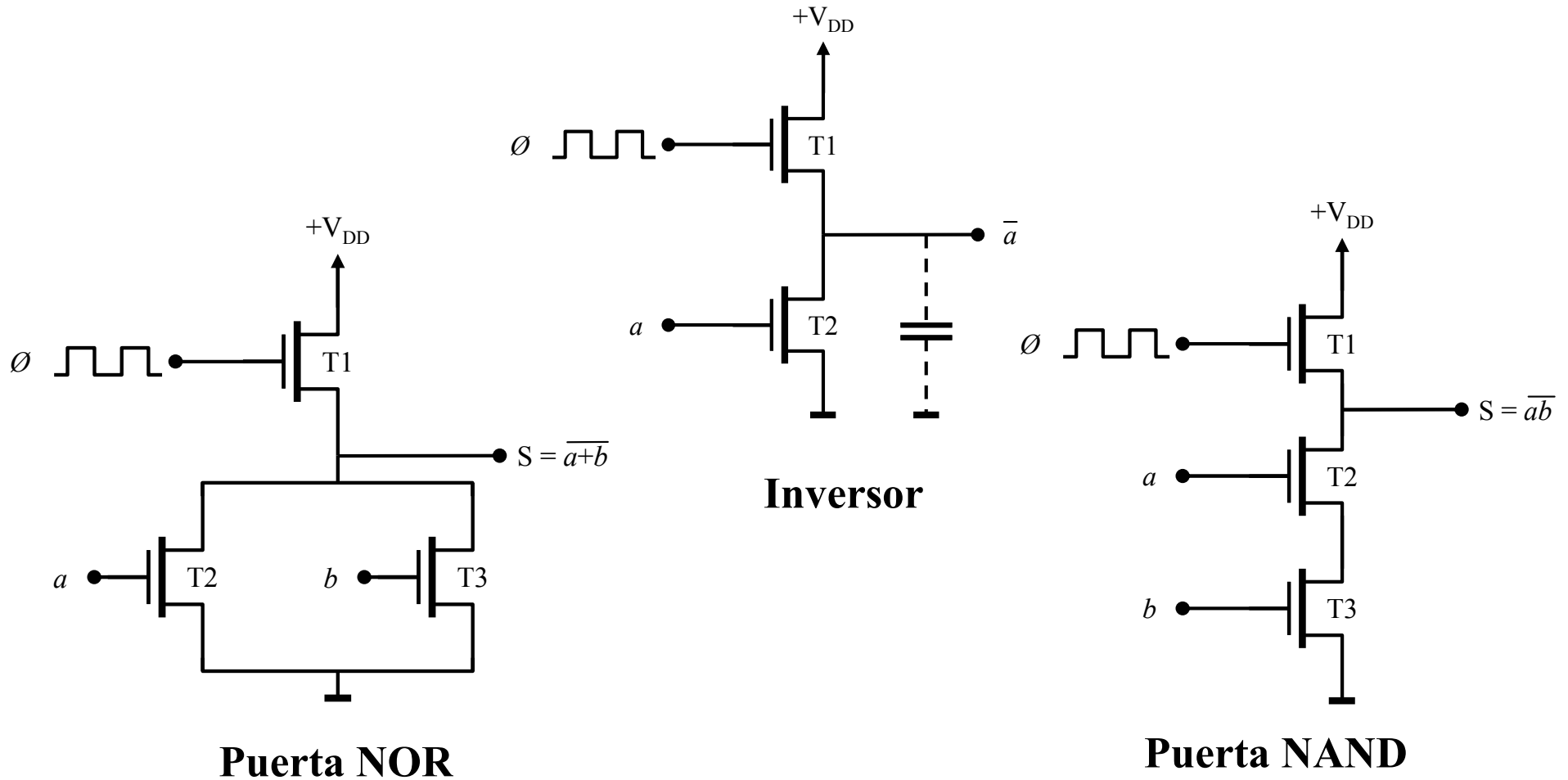
TECNOLOGÍA MOS DE CANAL N ESTÁTICA

Esquema de un biestable R-S
implementado con puertas *NO-O* (*NOR*)
de tecnología MOS estática



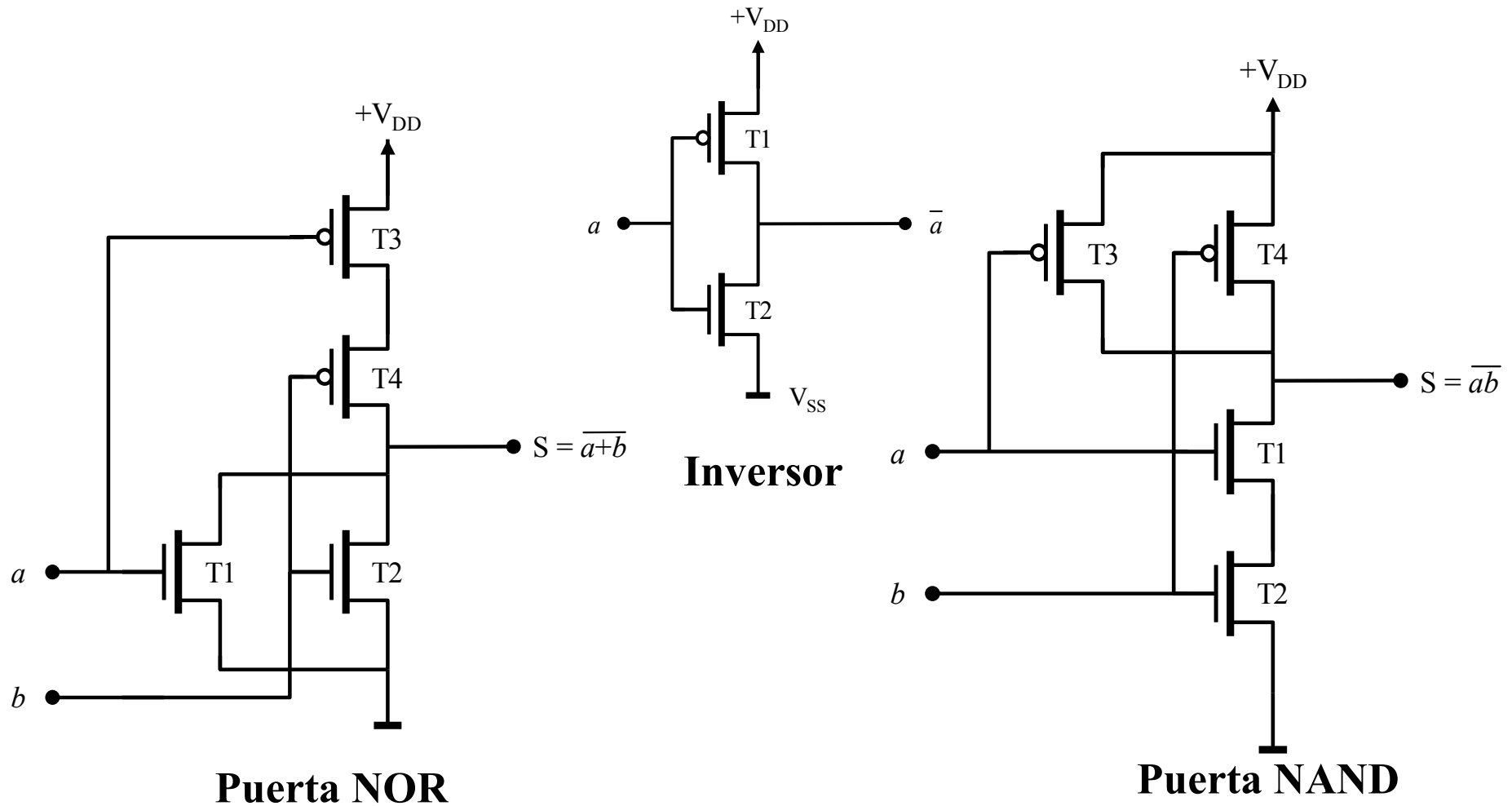
CIDM MOS DE SILICIO

TECNOLOGÍA MOS DE CANAL N DINÁMICA



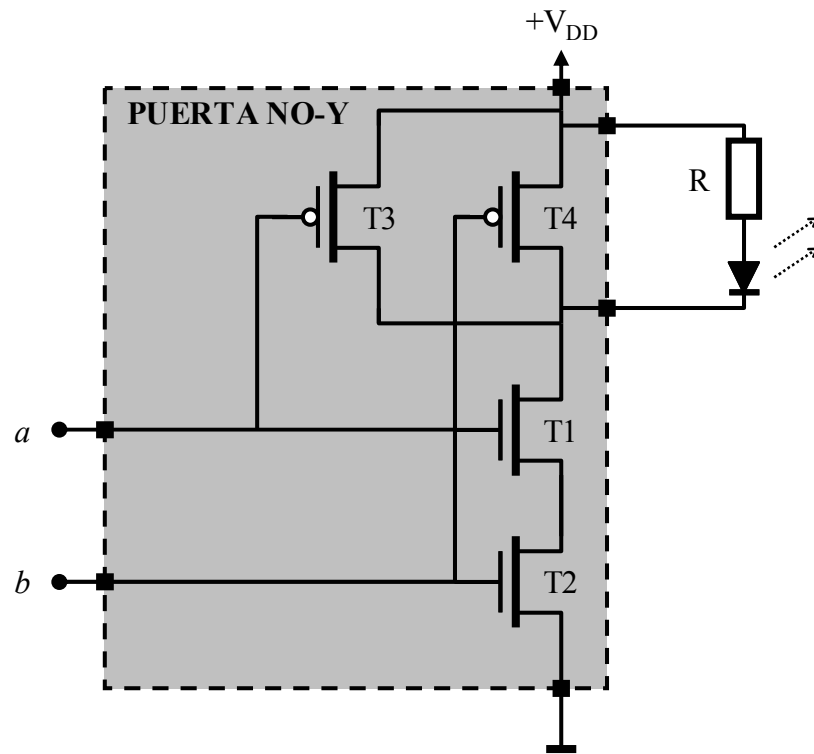
CIDM MOS DE SILICIO

TECNOLOGÍA CMOS

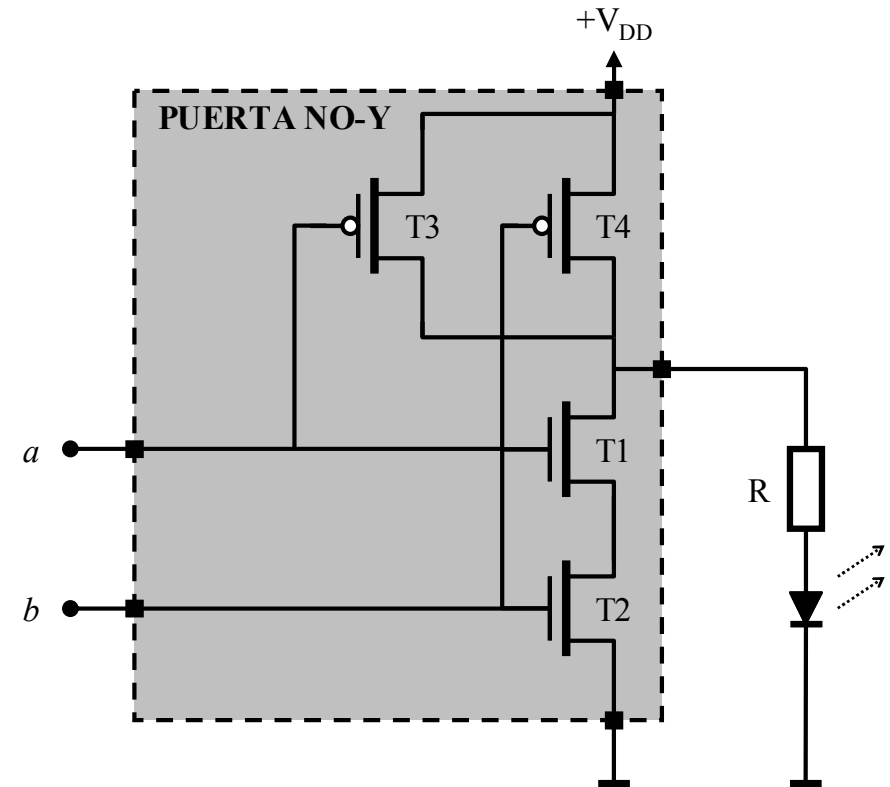


CIDM MOS DE SILICIO

TECNOLOGÍA CMOS



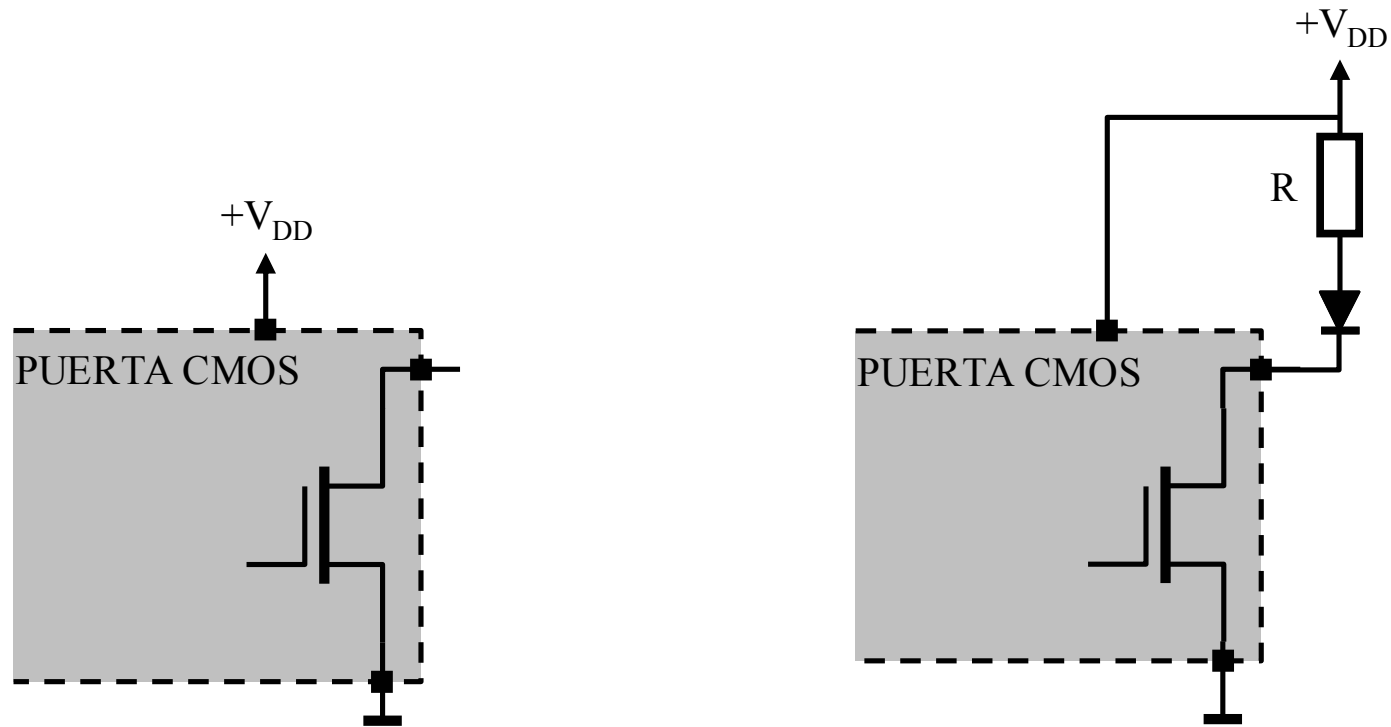
Puerta NO-Y (*NAND*) que controla un diodo luminoso que se enciende cuando conducen T1 y T2



Puerta NO-Y (*NAND*) que controla un diodo luminoso que se enciende cuando conducen T3 o T4

CIDM MOS DE SILICIO

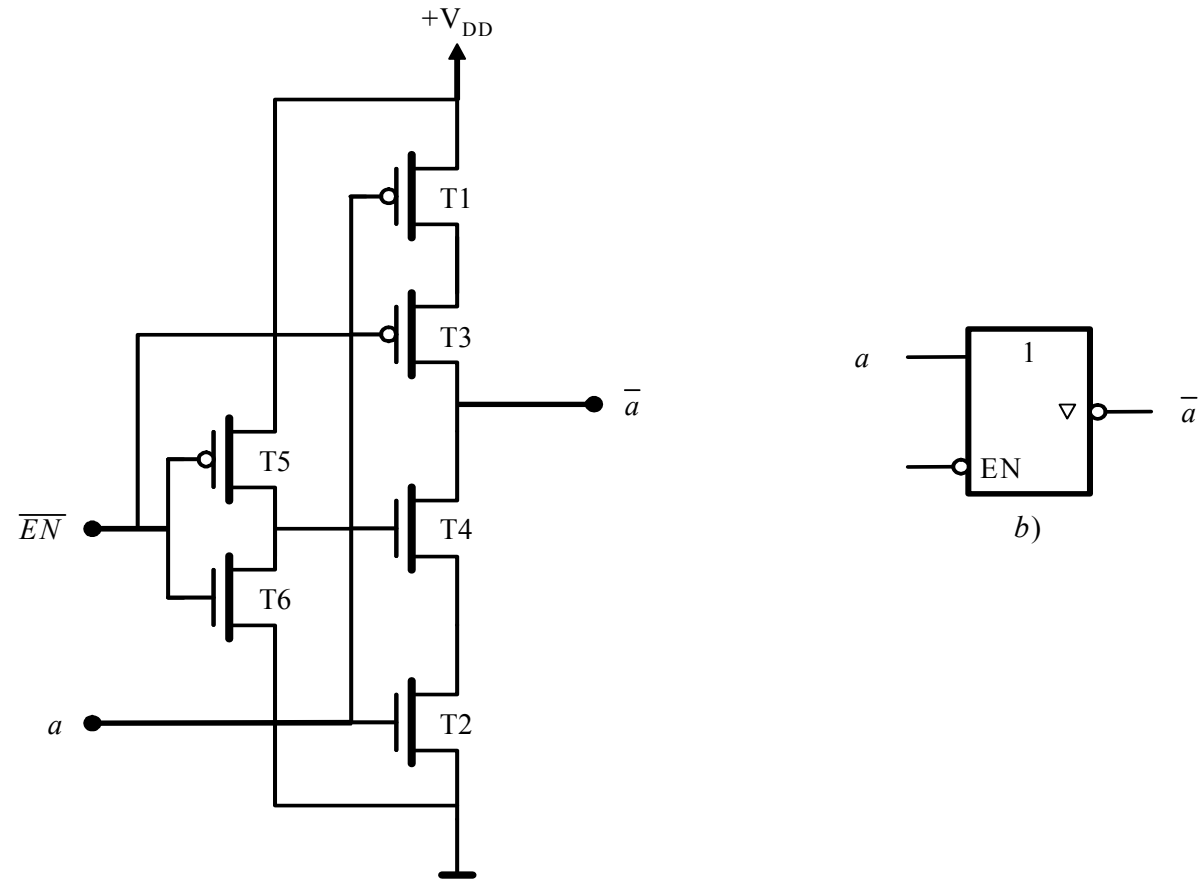
TECNOLOGÍA CMOS



Puerta CMOS de drenador abierto

CIDM MOS DE SILICIO

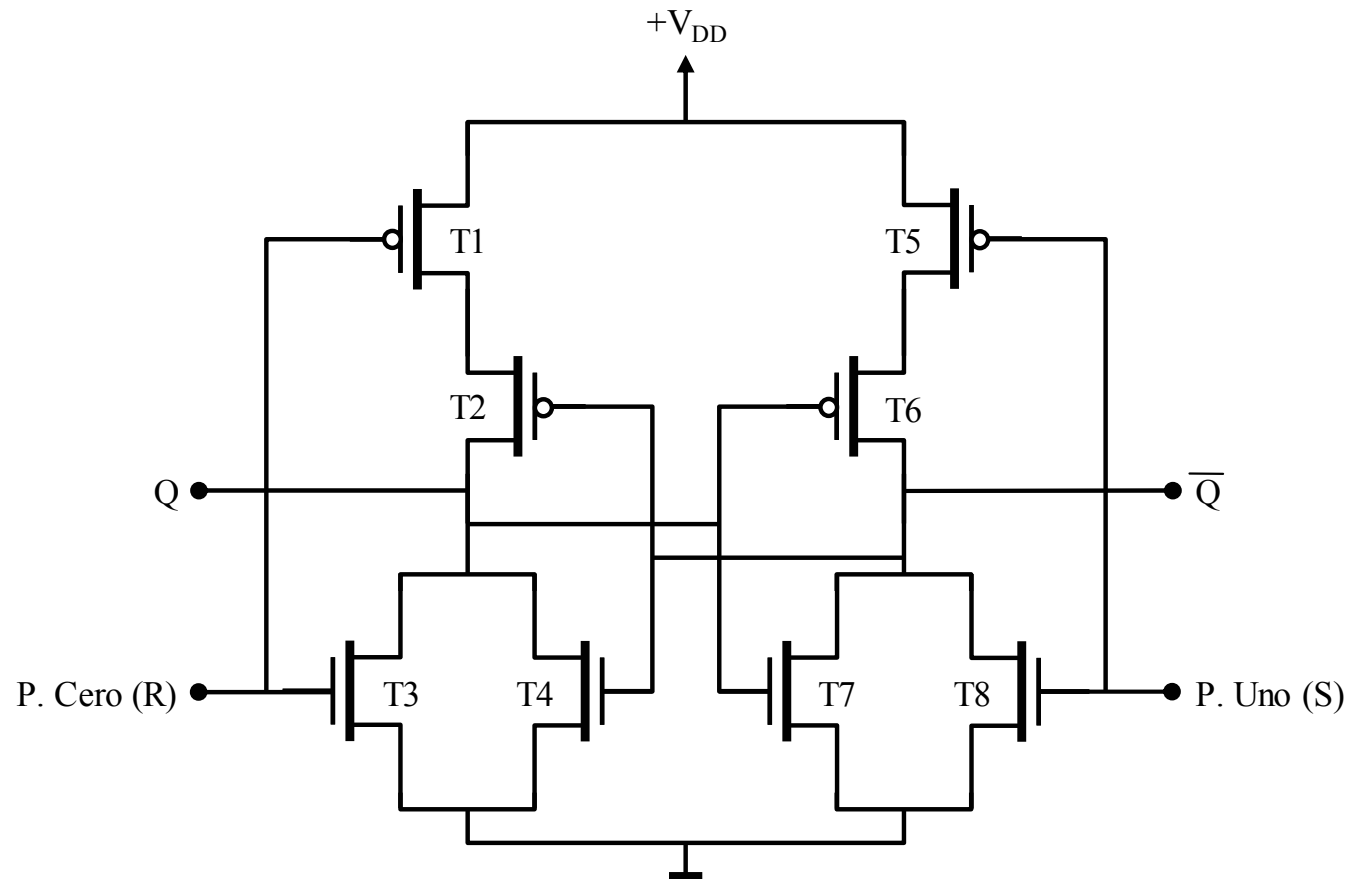
TECNOLOGÍA CMOS



Inversor con salida de tres estados

CIDM MOS DE SILICIO

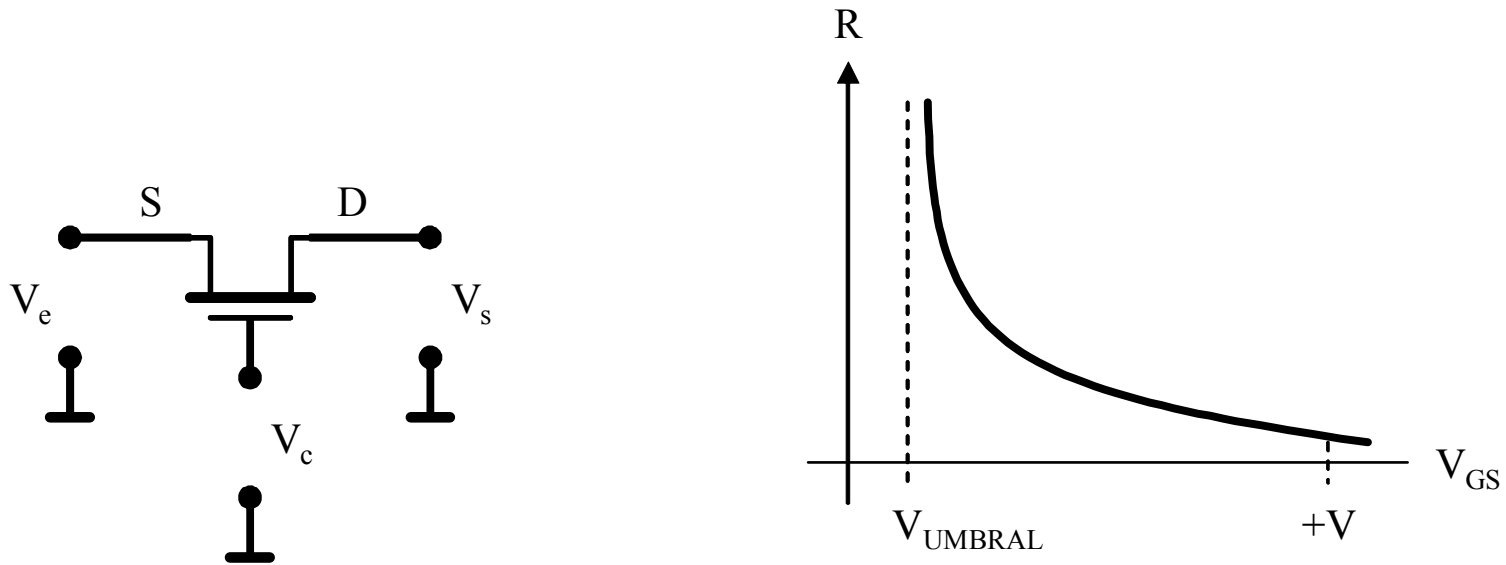
TECNOLOGÍA CMOS



Biastable R-S realizado con dos puertas *NO-O* (NOR)

CIDM MOS DE SILICIO

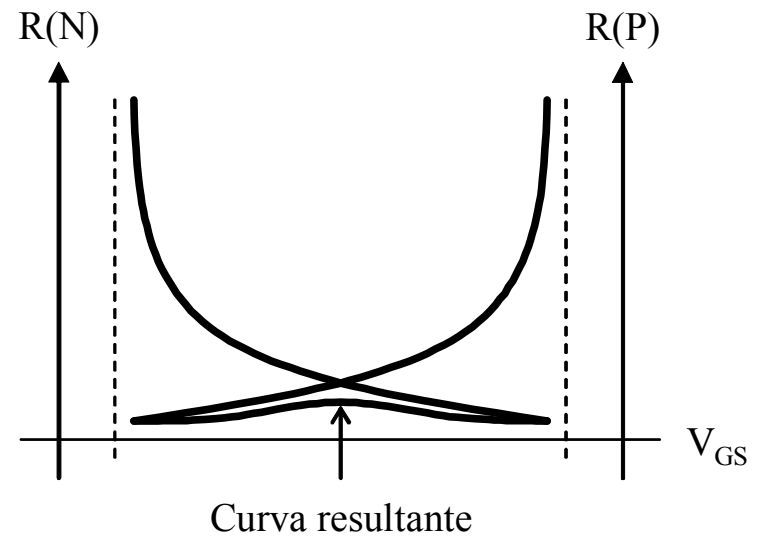
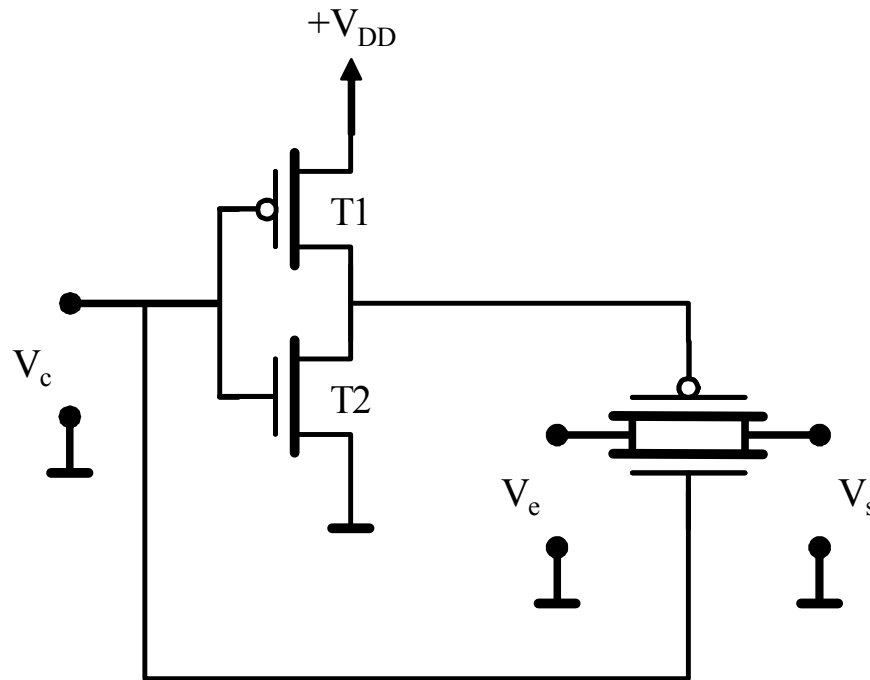
TECNOLOGÍA CMOS



**Puerta de transmisión implementada
con un transistor MOS canal N enriquecido**

CIDM MOS DE SILICIO

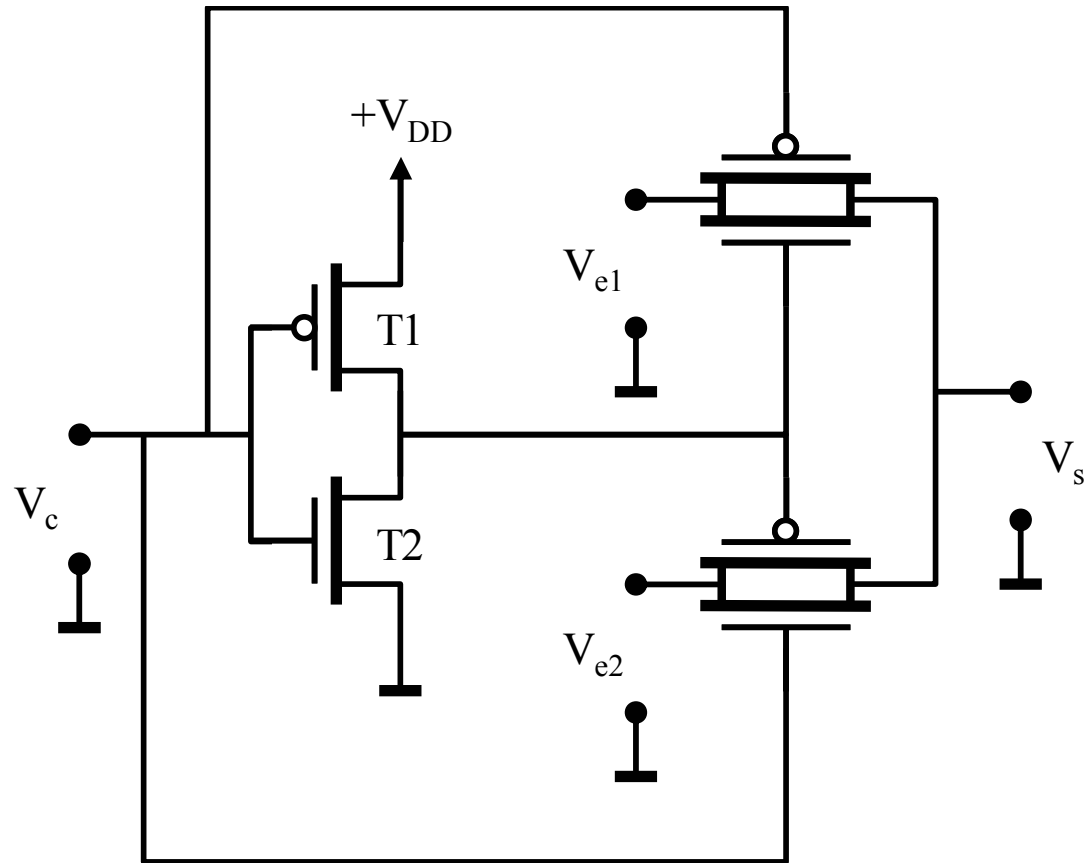
TECNOLOGÍA CMOS



Puerta de transmisión de tecnología CMOS: a) Esquema; b) Gráfica R- V_{GS}

CIDM MOS DE SILICIO

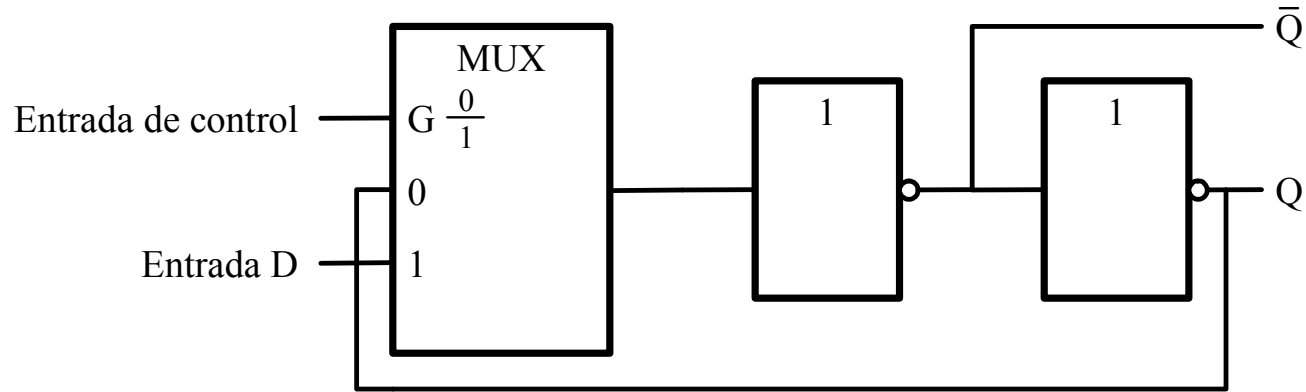
TECNOLOGÍA CMOS



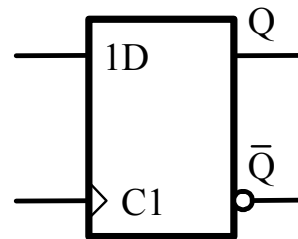
Esquema de un multiplexor/demultiplexor de dos canales de tecnología CMOS

CIDM MOS DE SILICIO

TECNOLOGÍA CMOS



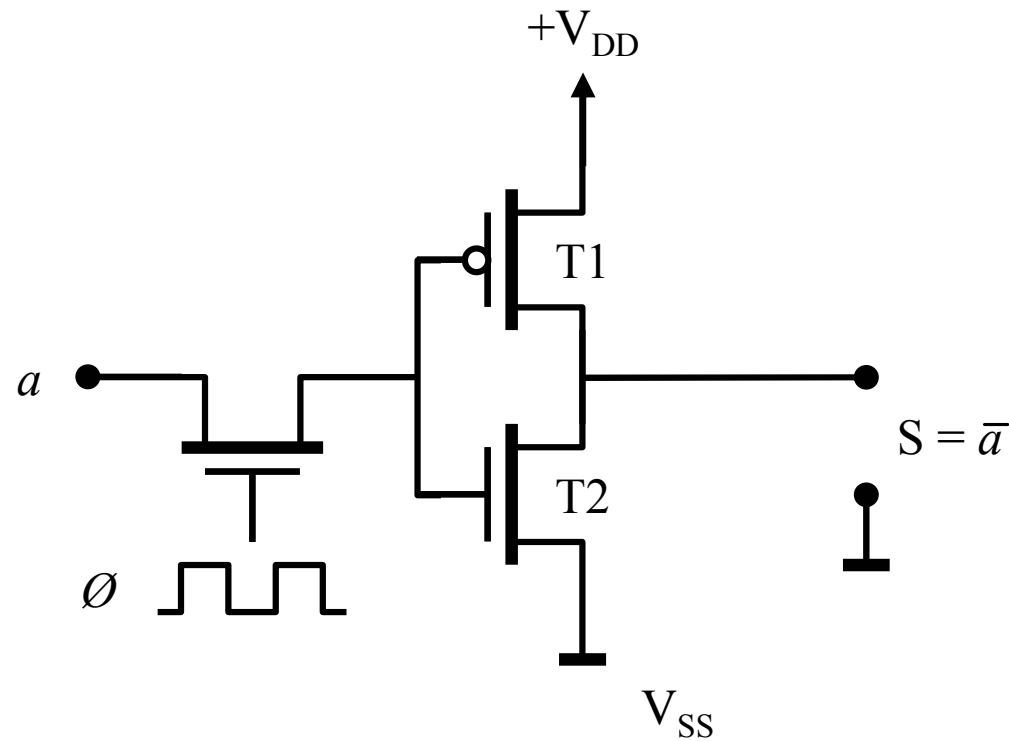
a)



**Esquema lógico de un biestable *D* activado por niveles o cerrojo (*Latch*)
y símbolo lógico normalizado**

CIDM MOS DE SILICIO

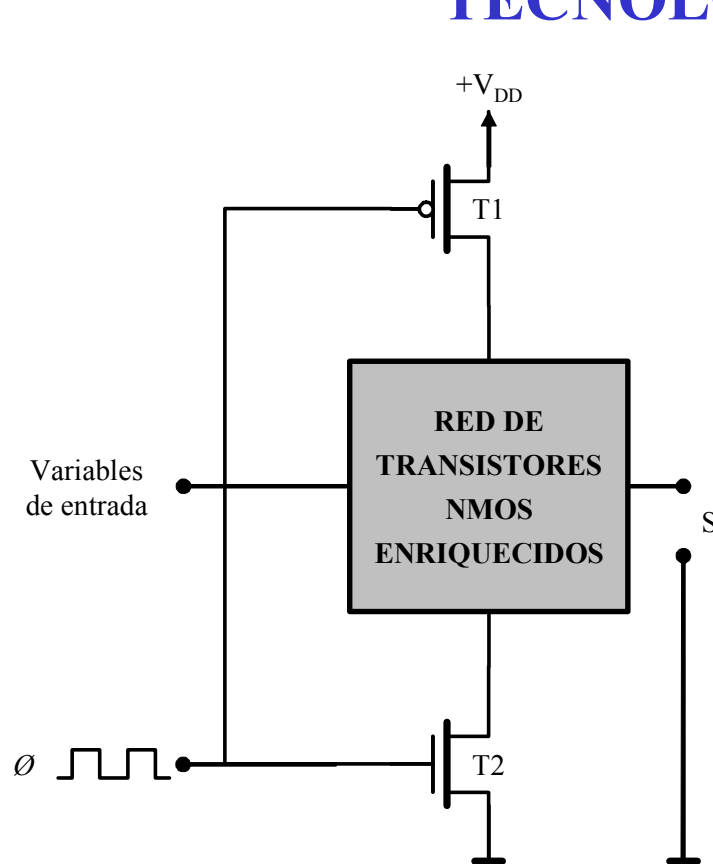
TECNOLOGÍA CMOS



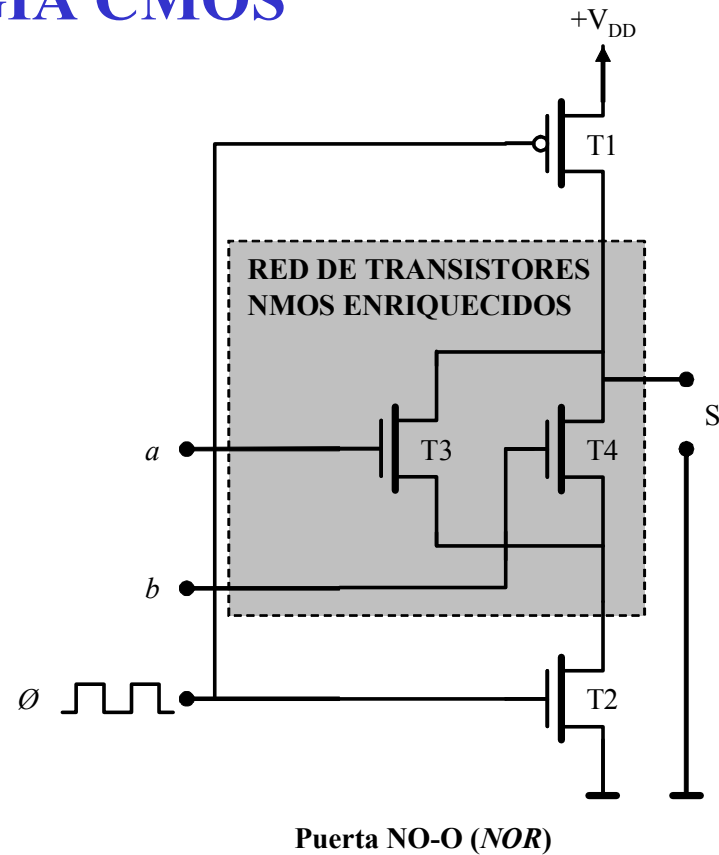
Esquema básico de un inversor dinámico de tecnología CMOS

CIDM MOS DE SILICIO

TECNOLOGÍA CMOS



Esquema general de un circuito dinámico de tecnología CMOS



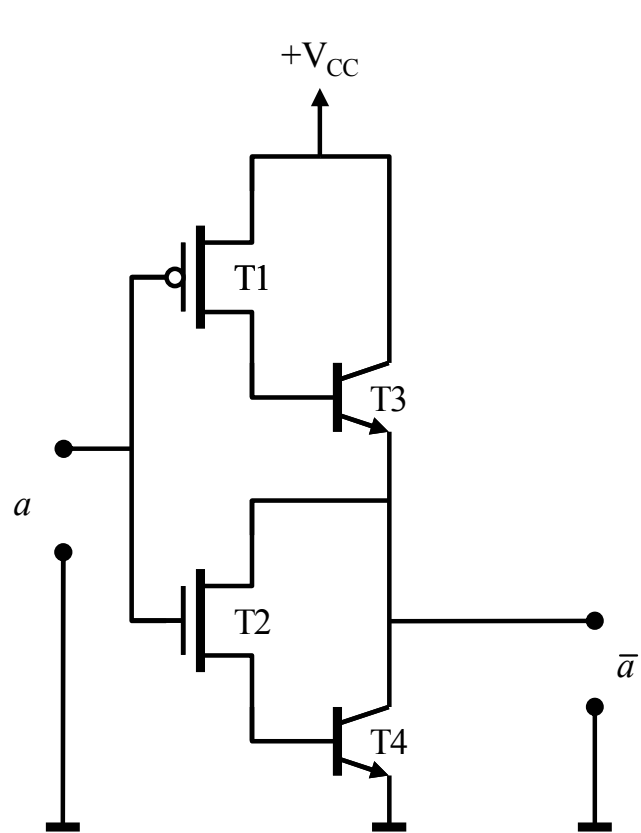
Puerta NO-O (NOR) dinámica de tecnología CMOS

CIDM MOS DE SILICIO

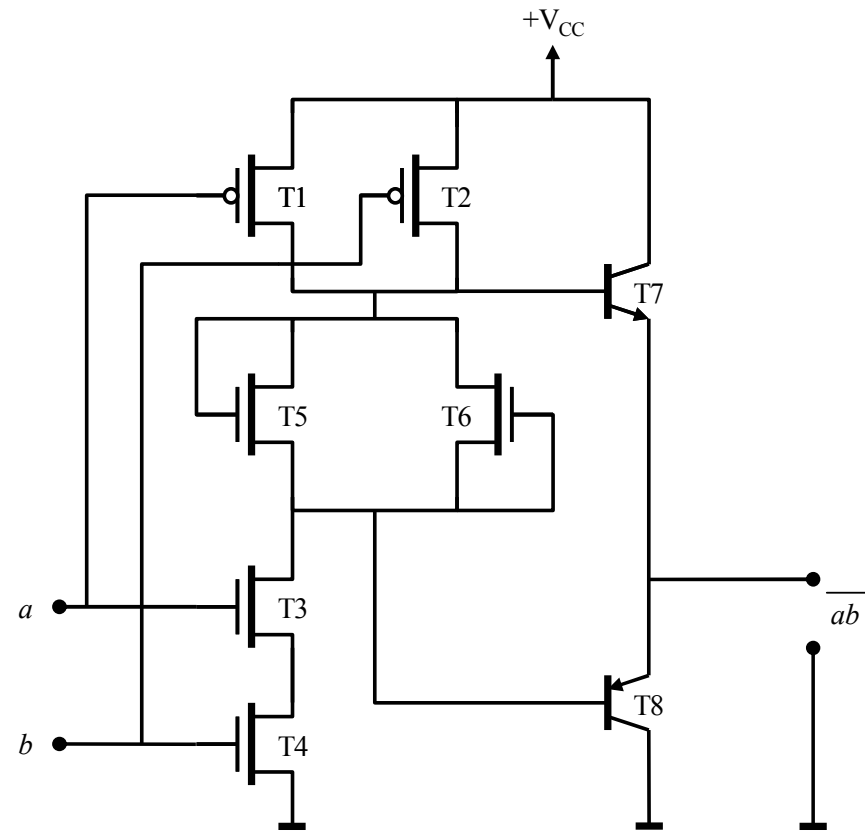
CARACTERÍSTICAS DE LA TECNOLOGÍA CMOS

- Los circuitos de sus puertas lógicas son más complejos que los de las tecnologías de MOS estático o dinámico. Su utilización solo se generalizó cuando los fabricantes fueron capaces de implementar circuitos integrados VLSI.
- La potencia que consumen sus puertas lógicas es prácticamente nula cuando el nivel lógico de sus entradas permanecen invariable. Idónea para realizar sistemas que se alimenten con baterías.
- Las puertas lógicas se implementan exclusivamente con transistores MOS lo que permite alcanzar elevadas densidades de integración.
- En ella se pueden implementar puertas de transmisión que simplifican la realización de los circuitos digitales secuenciales.
- Tiene unos márgenes de ruido elevados, debido a que tanto los transistores P como los N utilizados son del tipo enriquecido. Esto ha permitido disminuir paulatinamente la tensión de alimentación de los circuitos hasta alcanzar los 1.2 V.
- Las puertas lógicas tienen una elevada cargabilidad de salida (*Fan-out*)

CIDM BiCMOS DE SILICIO



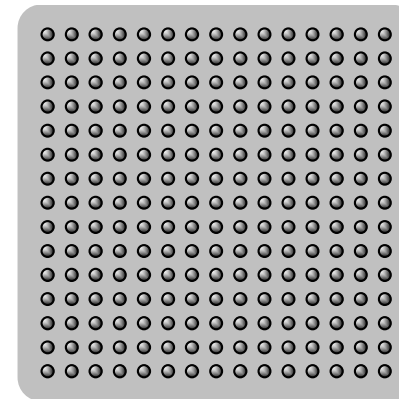
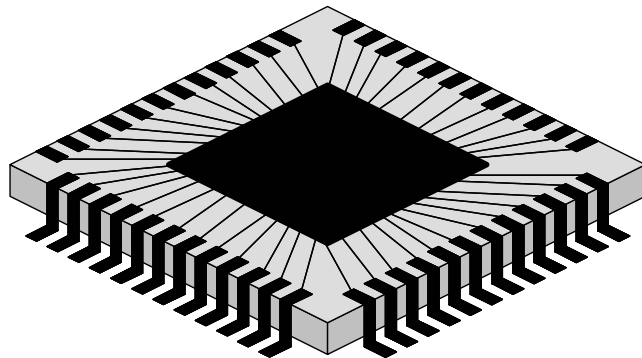
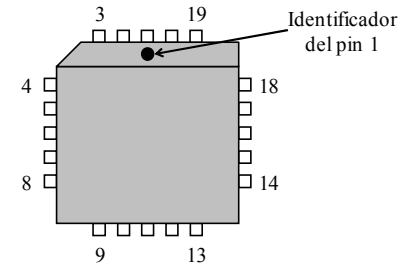
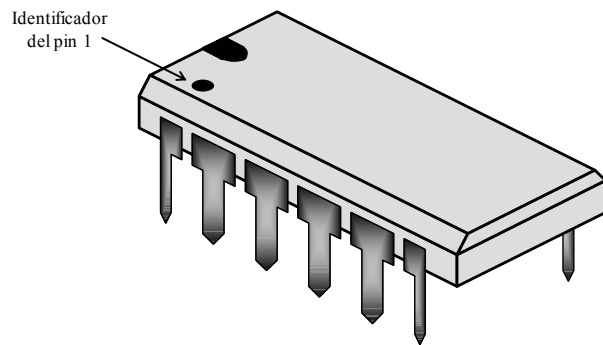
Circuito del primer inversor implementado en tecnología BiCMOS



Puerta NO-Y (NAND) de dos entradas de tecnología BiCMOS complementaria

CIDM DE SILICIO

ENCAPSULADOS



CIDM DE SILICIO

TIPOS DE ENCAPSULADOS

Denominación del encapsulado (Package)	Acrónimo	Tipo de montaje	Descripción y características
Dual in Line Package	DIP	Para placas con orificios (Holes) (Montaje directo o con zócalos)	Dos filas de terminales (Número máximo 64)
Pin Grid Array	PGA		Matriz de terminales (Número máximo aprox. 600)
Small Outline Integrated Circuit	SOIC	Para placas de montaje superficial (Surface Mounting Technology) (Montaje directo)	Versión del DIP para montaje superficial (Terminales planos)
Quad Flat Package	QFP		Terminales planos en los cuatro lados (Número máximo aproximado 250)
Lead Chip Carrier	LCC	Para placas con orificios (Montaje en zocalo) o placas de montaje superficial (Montaje directo)	Terminales doblados en los cuatro lados (Número máximo aproximado 100)
Ball Grid Array	BGA	Para placas de montaje superficial (Montaje directo)	Matriz de puntos de soldadura (Número máximo aprox. 1000)