

ELECTRÓNICA DIGITAL

Tema 14

PROCESADORES DIGITALES (PARTE 1) INTRODUCCIÓN

PROCESADORES DIGITALES

DEFINICIÓN

Sistema digital que recibe unos datos y genera, a partir de ellos, unos resultados de acuerdo con unas reglas determinadas.

Pueden ser:

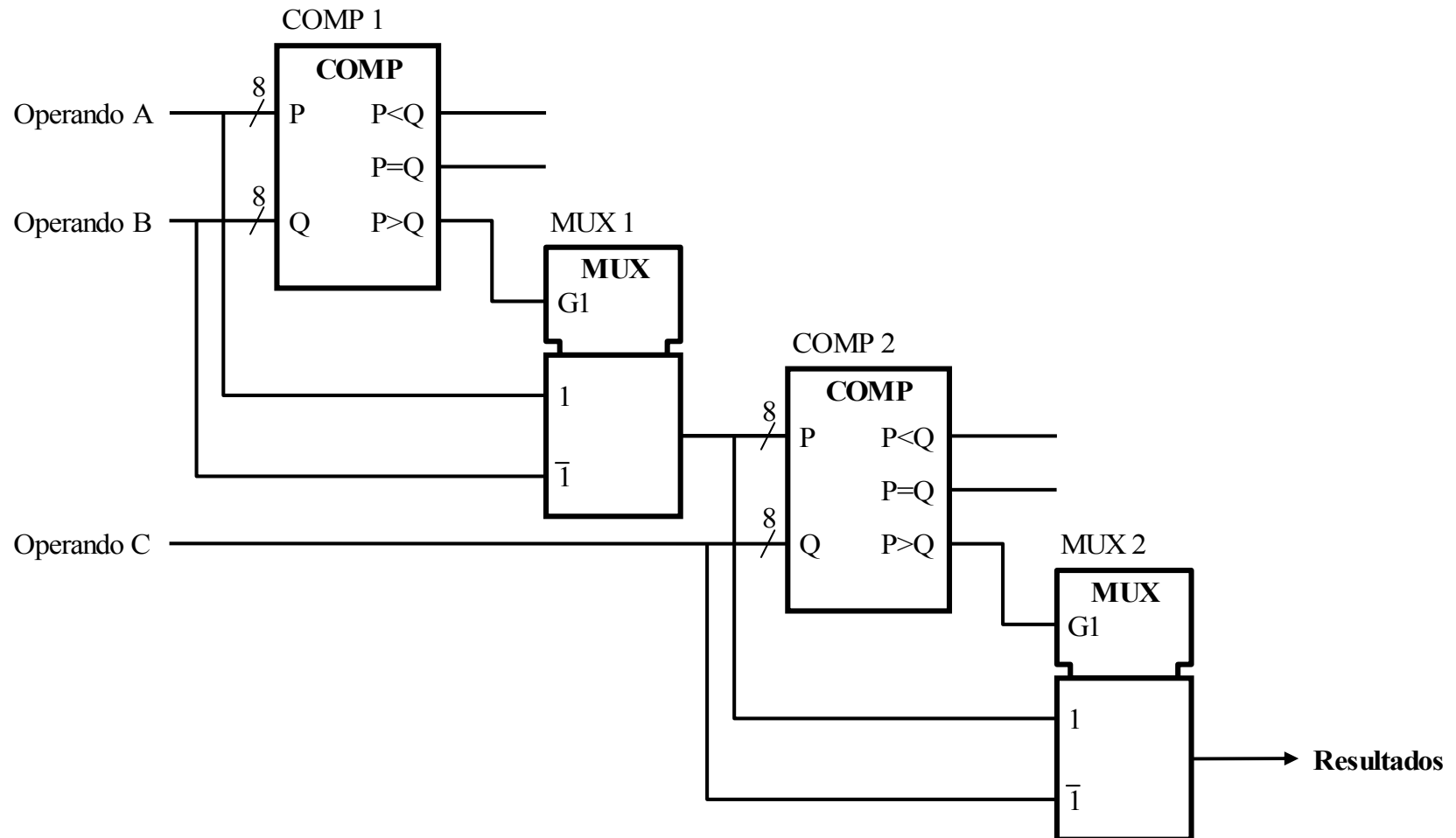
- Combinacionales**
- Secuenciales**



PROCESADORES DIGITALES COMBINACIONALES

Se implementan con bloques funcionales combinacionales

Ejemplo



PROCESADORES DIGITALES COMBINACIONALES

CARACTERÍSTICAS GENERALES

- **Hacen necesario que se disponga simultáneamente de todos los datos, lo cual en la mayoría de las situaciones prácticas no es factible.**
- **La realización de operaciones complejas implica la utilización de circuitos combinacionales complejos. Esta limitación se acentúa si, además, el procesador debe realizar varias operaciones complejas diferentes.**

PROCESADORES DIGITALES SECUENCIALES

CONCEPTOS GENERALES

Realizan una operación compleja mediante una secuencia de operaciones elementales ejecutadas por uno o más circuitos combinacionales sencillos universales que, en el caso de las operaciones aritméticas, puede ser un simple sumador/restador.

La realización de una operación compleja mediante una secuencia de operaciones elementales ejecutadas por un circuito combinacional sencillo implica:

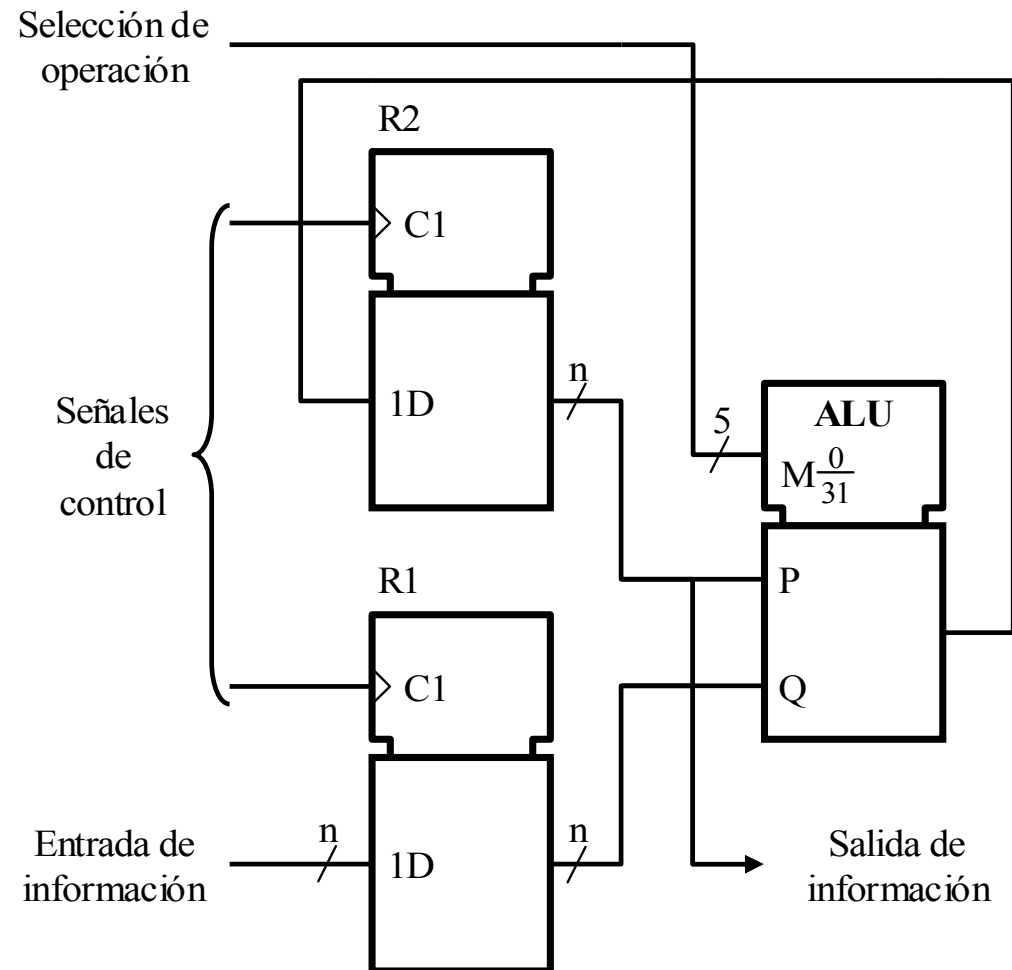
- La necesidad de que el procesador posea capacidad de memorización de resultados parciales.**
- La selección secuencial de los datos y de las operaciones elementales a realizar, así como de los resultados parciales obtenidos**

PROCESADORES DIGITALES SECUENCIALES

CONCEPTOS GENERALES

Para memorizar los resultados parciales el procesador combina la ALU con varios registros

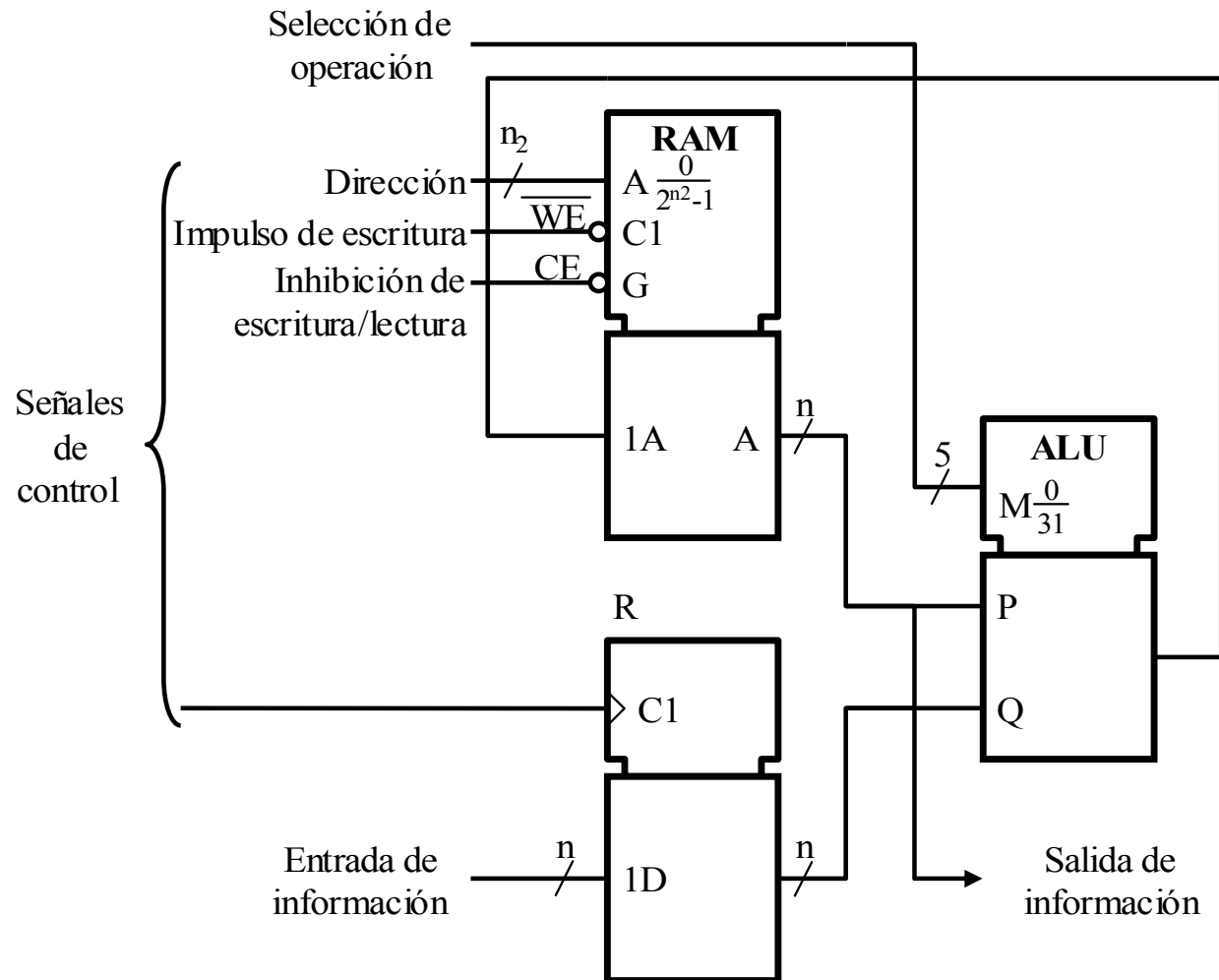
Unidad Operativa básica
(*Data subsystem*
or *Data Path*)
Formada por registros
y una unidad aritmética
y lógica (ALU)



PROCESADORES DIGITALES SECUENCIALES

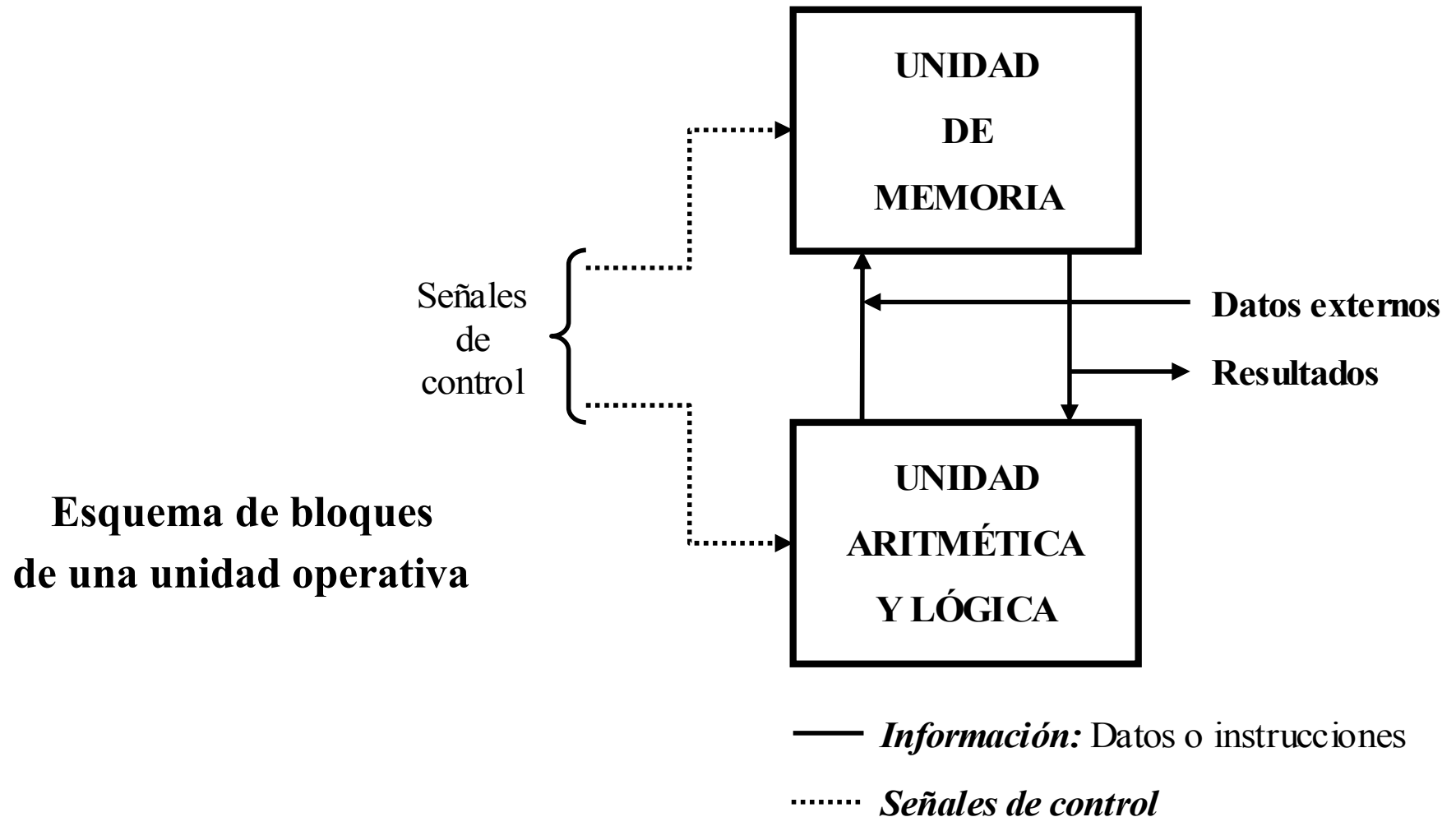
CONCEPTOS GENERALES

Unidad operativa
(Data subsystem
or Data Path)
con memoria de
acceso aleatorio
(RAM)



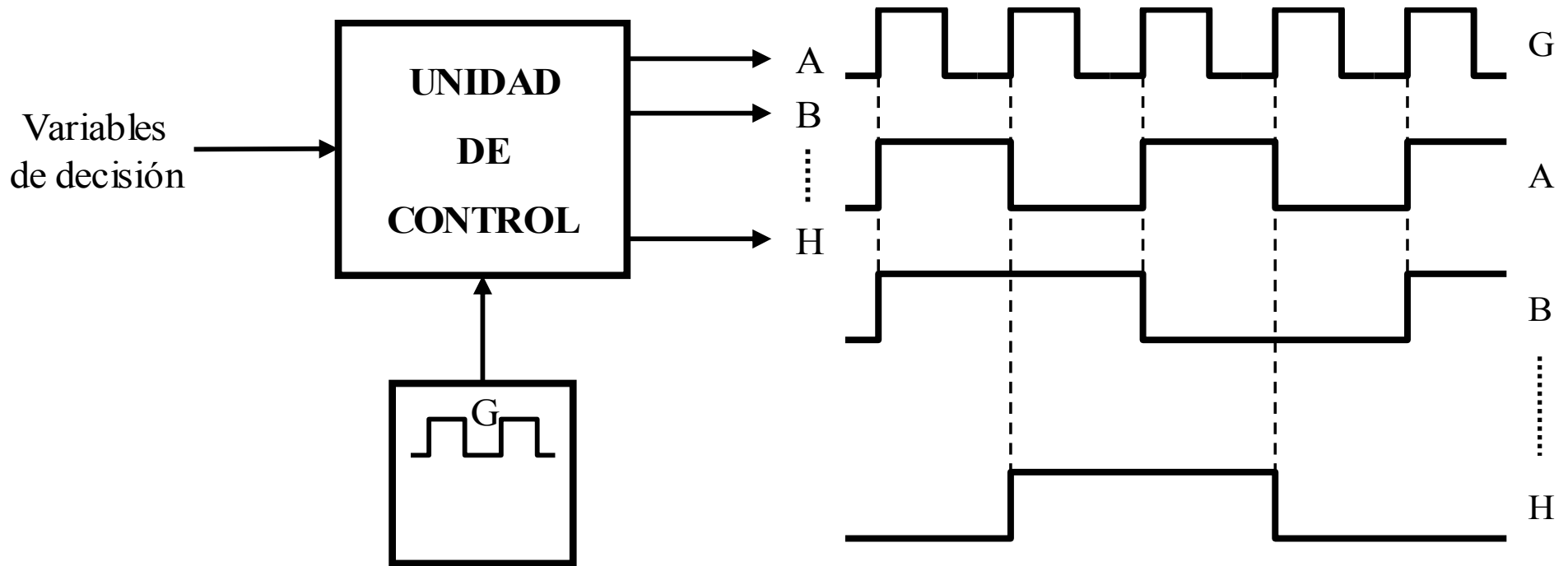
PROCESADORES DIGITALES SECUENCIALES

CONCEPTOS GENERALES



PROCESADORES DIGITALES SECUENCIALES

CONCEPTOS GENERALES



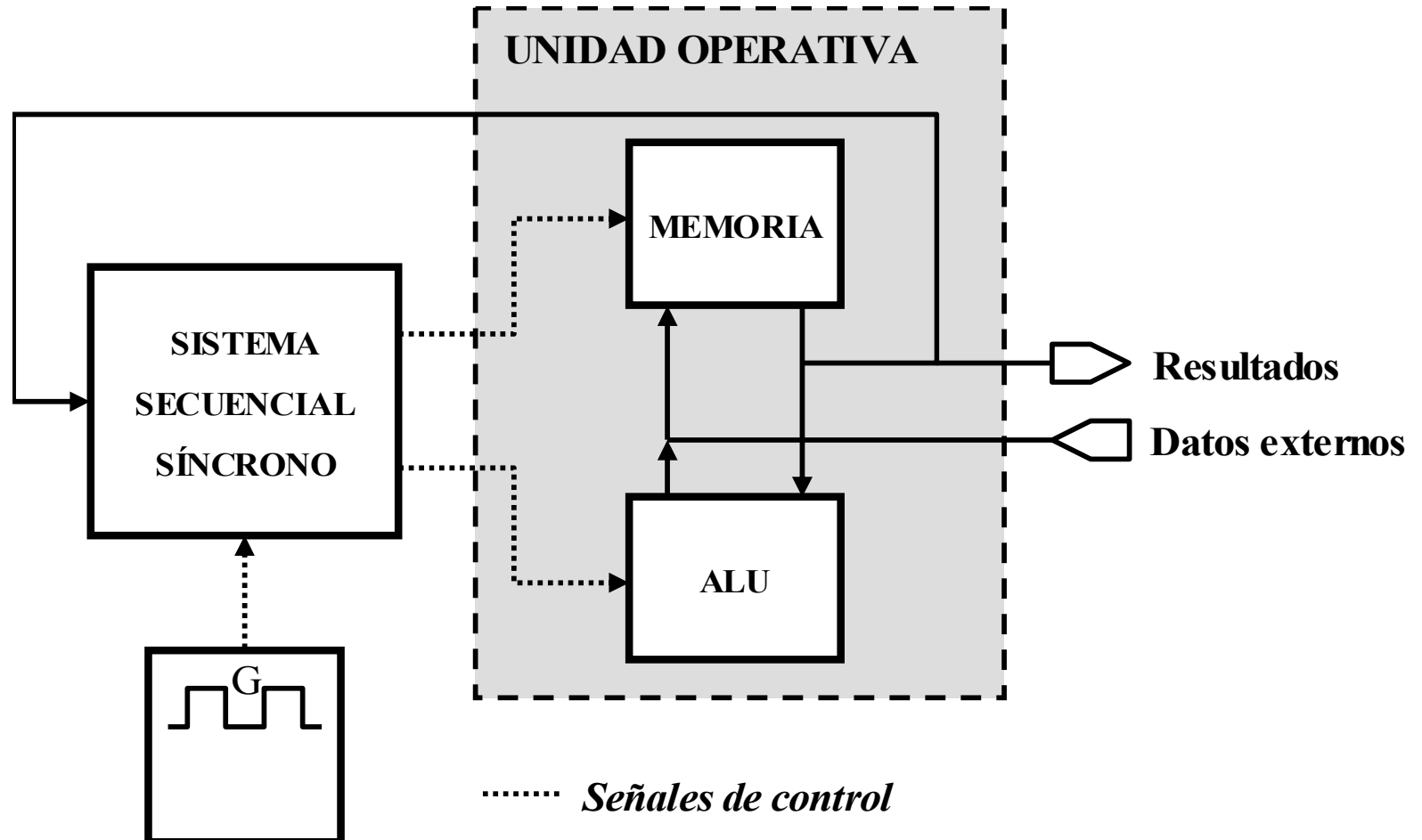
Esquema de bloques

Cronograma de las señales

Bloque funcional unidad de control que genera una secuencia de señales digitales

PROCESADORES DIGITALES SECUENCIALES

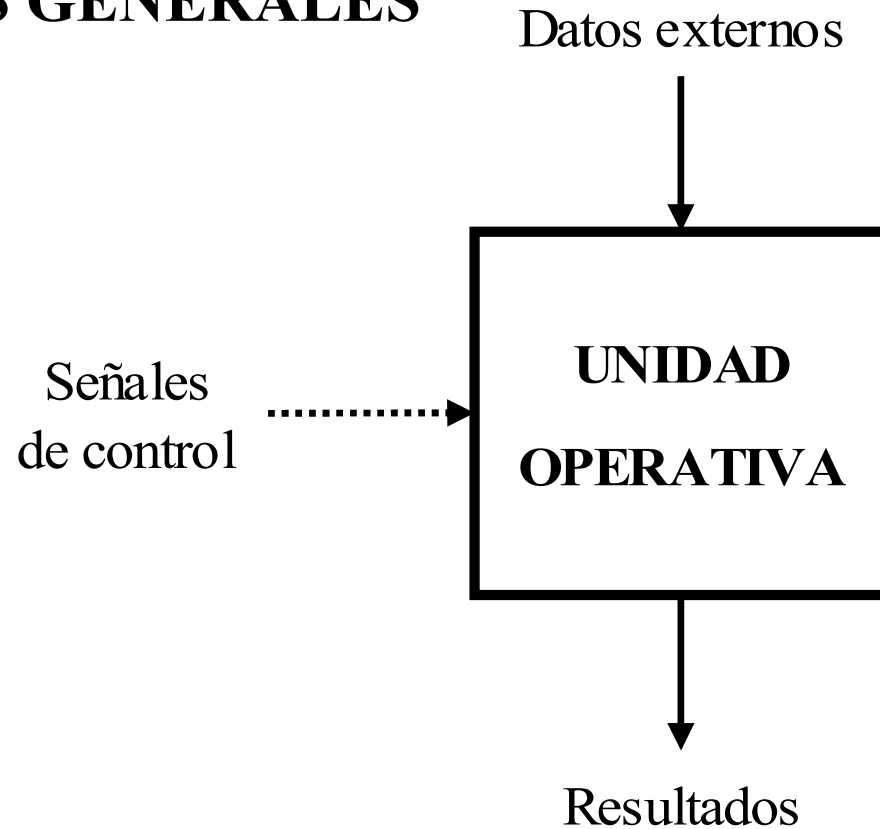
CONCEPTOS GENERALES



Esquema de bloques de un procesador digital secuencial síncrono

PROCESADORES DIGITALES SECUENCIALES

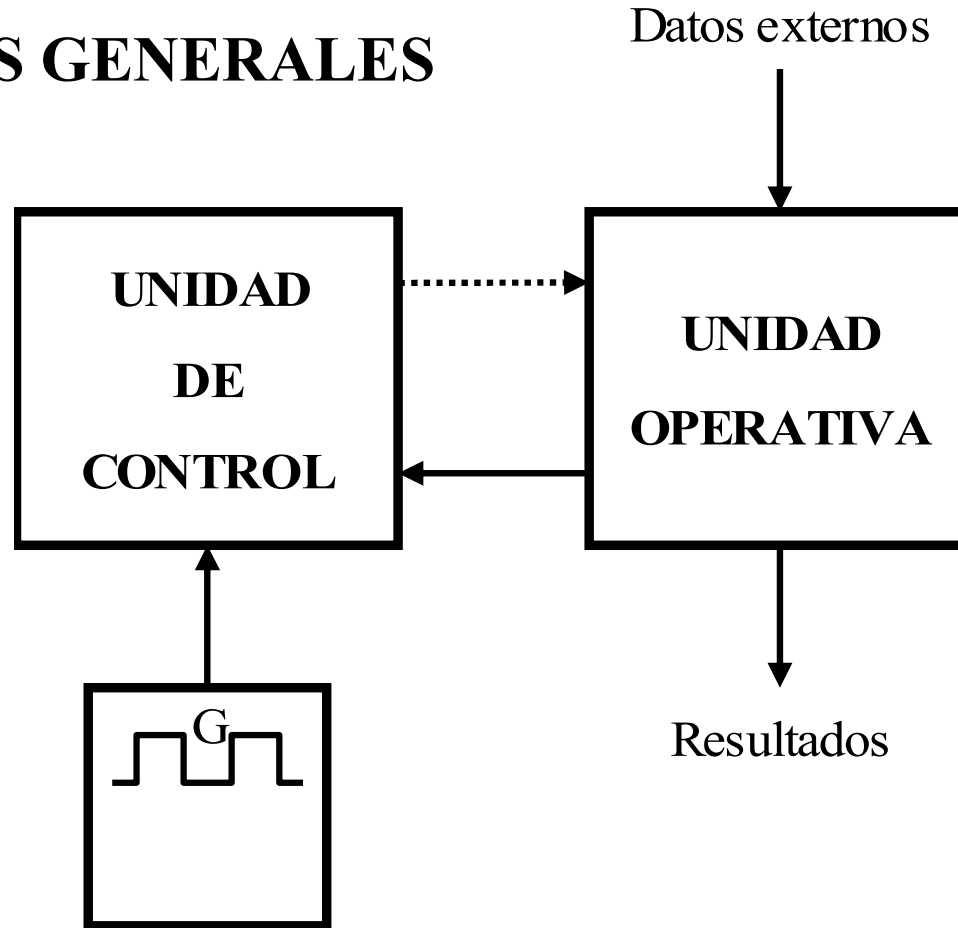
CONCEPTOS GENERALES



Bloque funcional unidad operativa

PROCESADORES DIGITALES SECUENCIALES

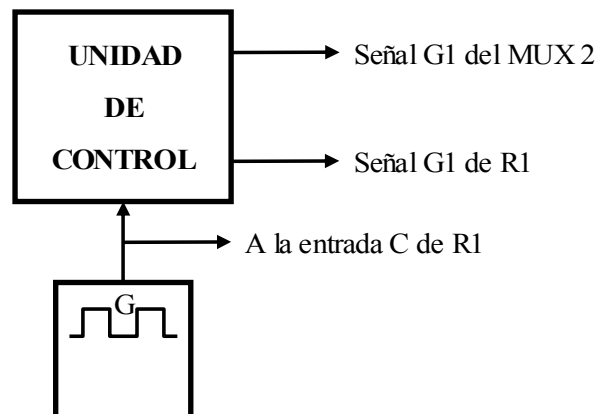
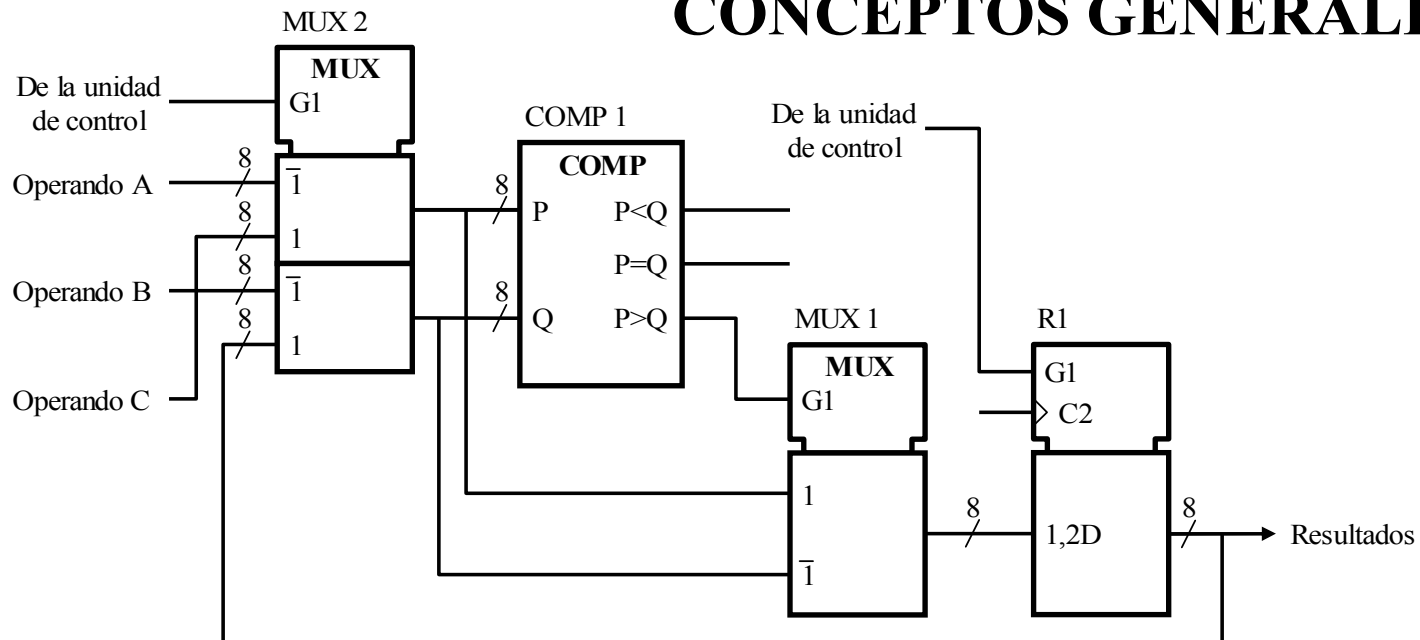
CONCEPTOS GENERALES



Esquema de bloques simplificado de un procesador digital secuencial síncrono

PROCESADORES DIGITALES SECUENCIALES

CONCEPTOS GENERALES

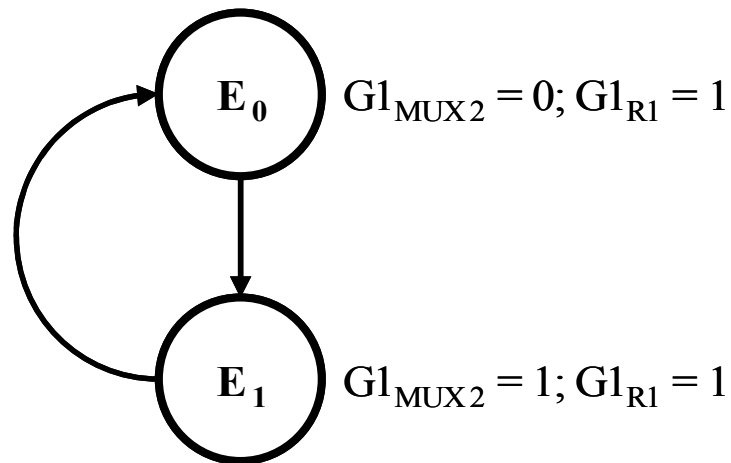


Esquema de la unidad operativa y bloque funcional unidad de control del procesador digital secuencial síncrono que proporciona el mayor de tres números codificados en binario natural

PROCESADORES DIGITALES SECUENCIALES

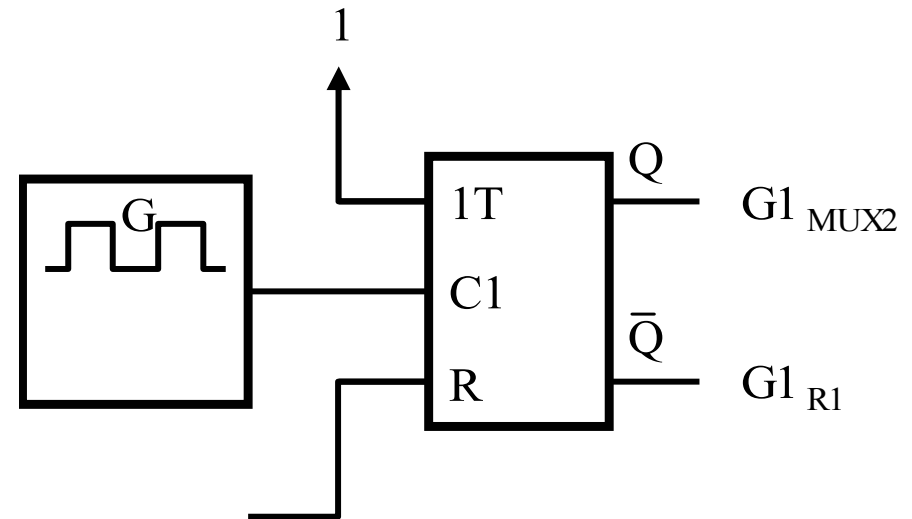
CONCEPTOS GENERALES

Comparación de A con B
y transferencia del mayor a R1



Comparación del contenido de R1
en C y transferencia del mayor a R1

Diagrama de estados

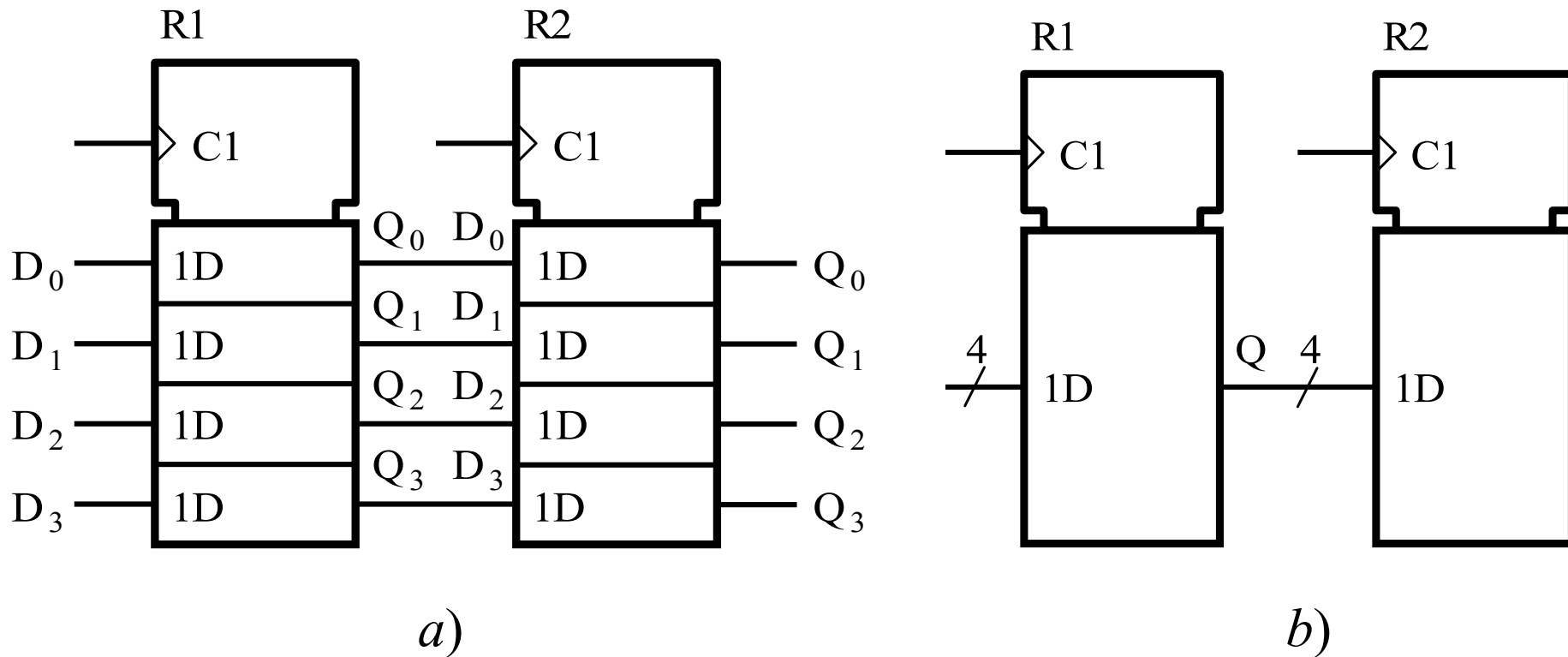


**Esquema de la Unidad de control
(Procesador cableado)**

**Procesador digital secuencial síncrono que proporciona el mayor de tres
números codificados en binario natural**

PROCESADORES DIGITALES SECUENCIALES

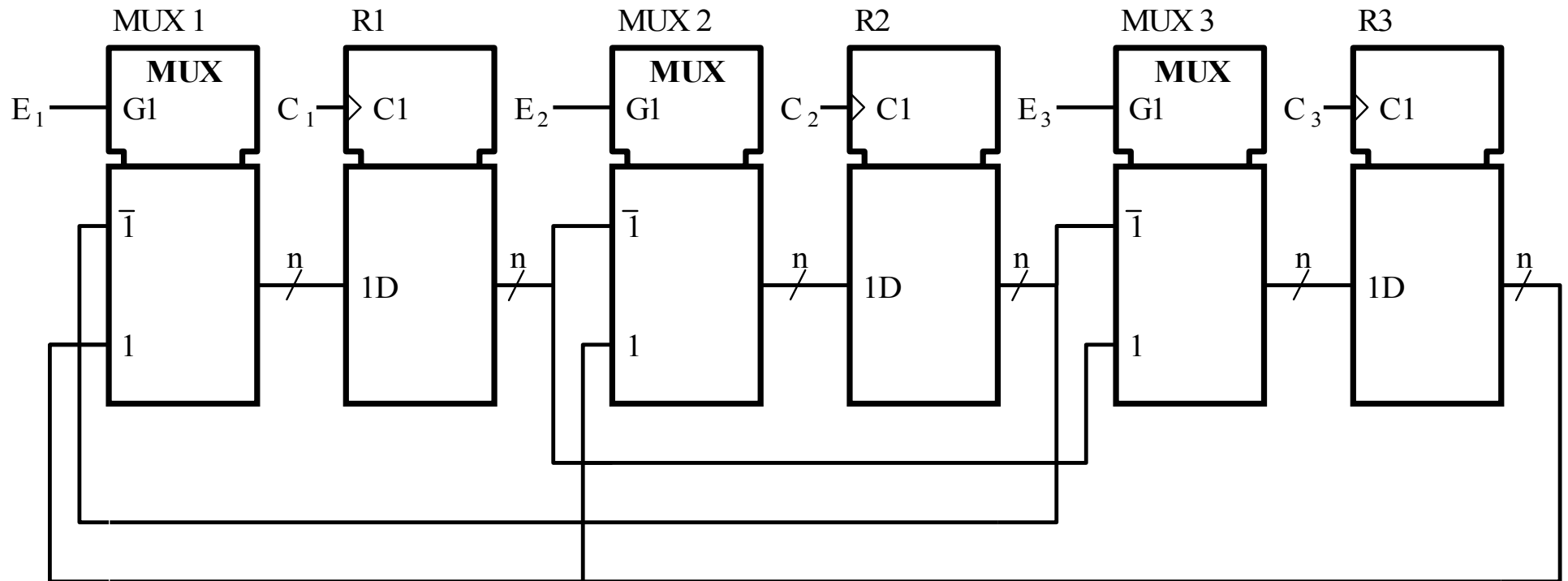
SISTEMA FÍSICO DE LA UNIDAD OPERATIVA



Esquema del sistema físico para transferir información del registro R1 al R2
a) Esquema en el que se indican todas las conexiones; b) Esquema simplificado.

PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

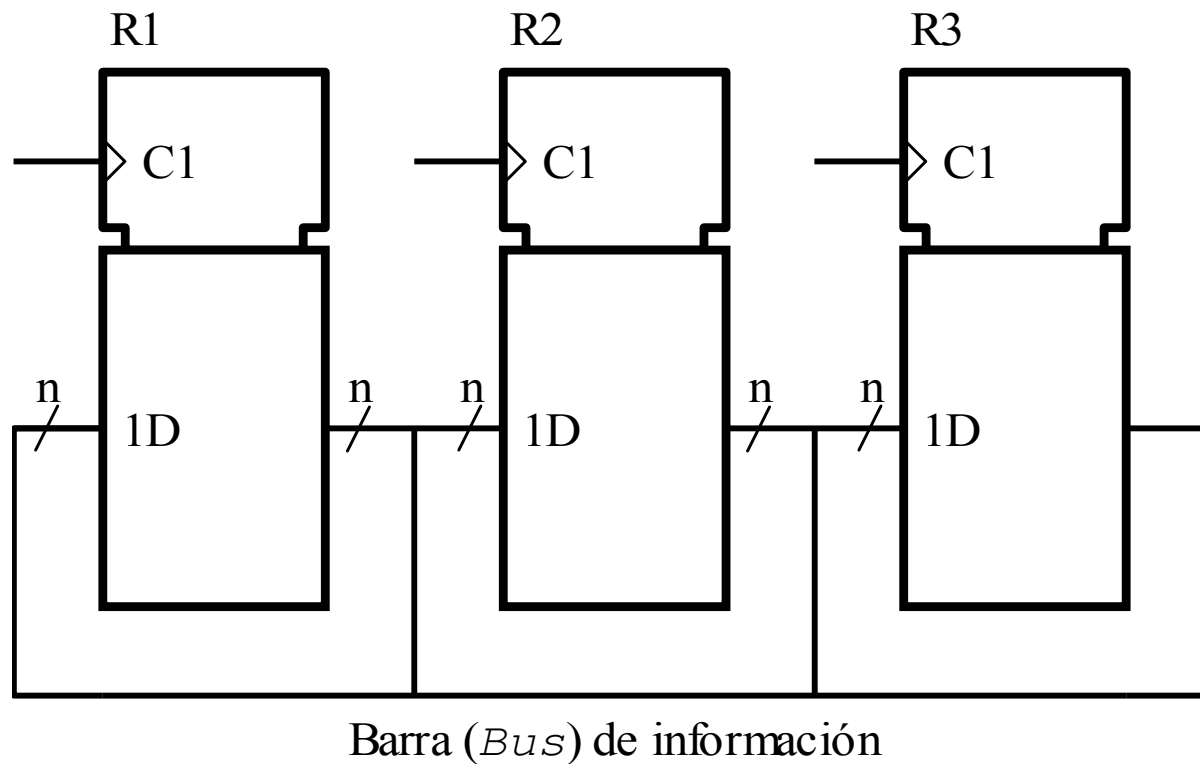


Esquema del sistema físico para transferir información
entre varios registros a través de multiplexores

PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

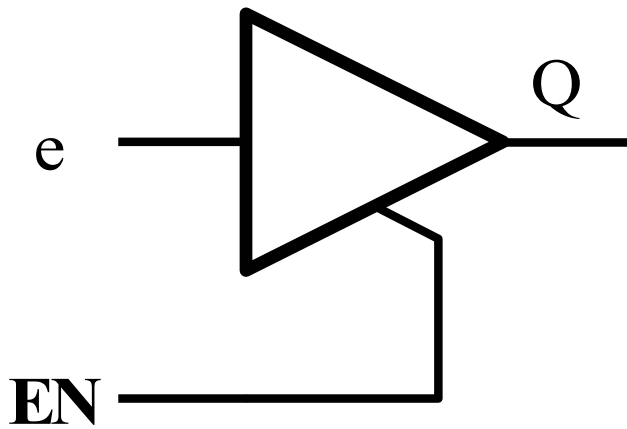
CONCEPTO DE BUS



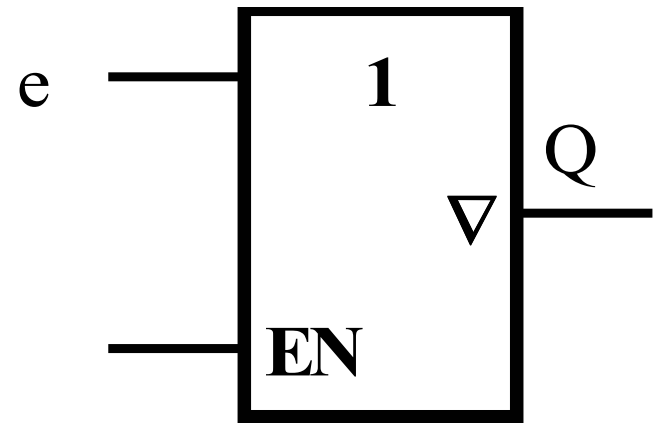
Esquema básico del sistema físico para transferir información entre varios registros a través de un bus (*Bus*) de información

PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA



a)



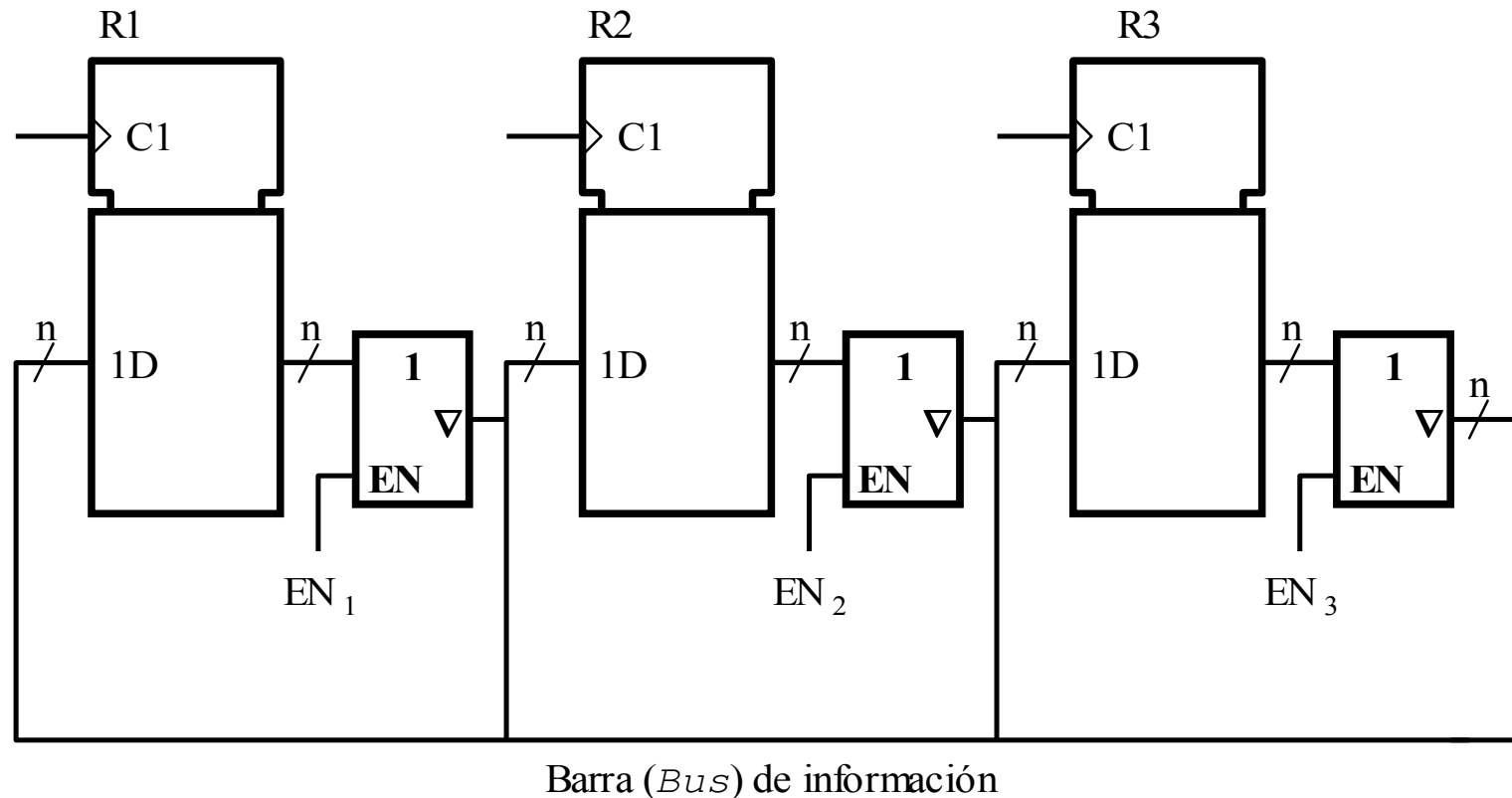
b)

Puerta lógica seguidora con salida triestado:

a) Símbolo lógico no normalizado; b) Símbolo lógico normalizado

PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

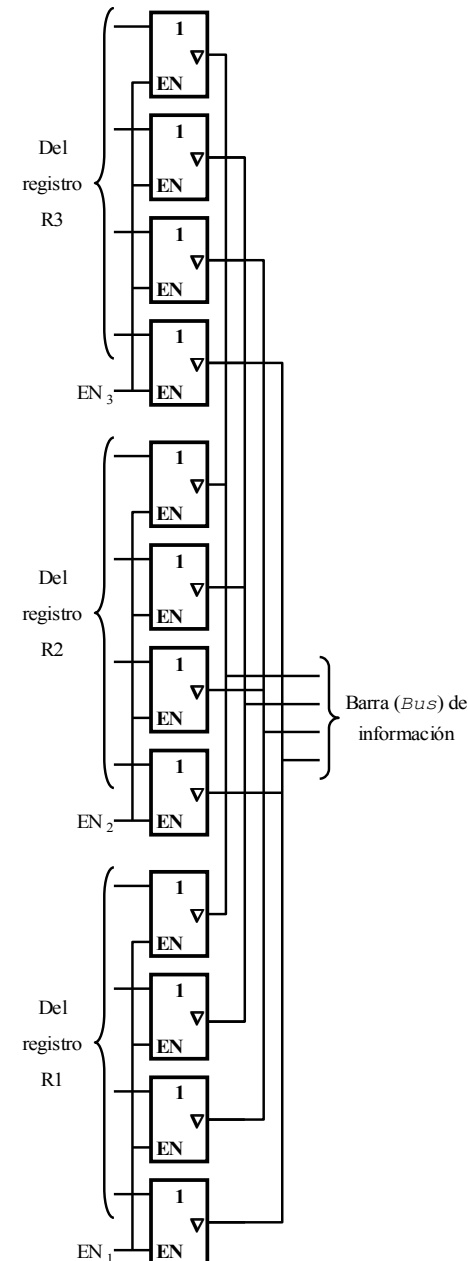


Esquema del sistema físico para transferir información entre varios registros a través de un bus de información implementado con puertas lógicas seguidoras de salida triestado

PROCESADORES DIGITALES SECUENCIALES

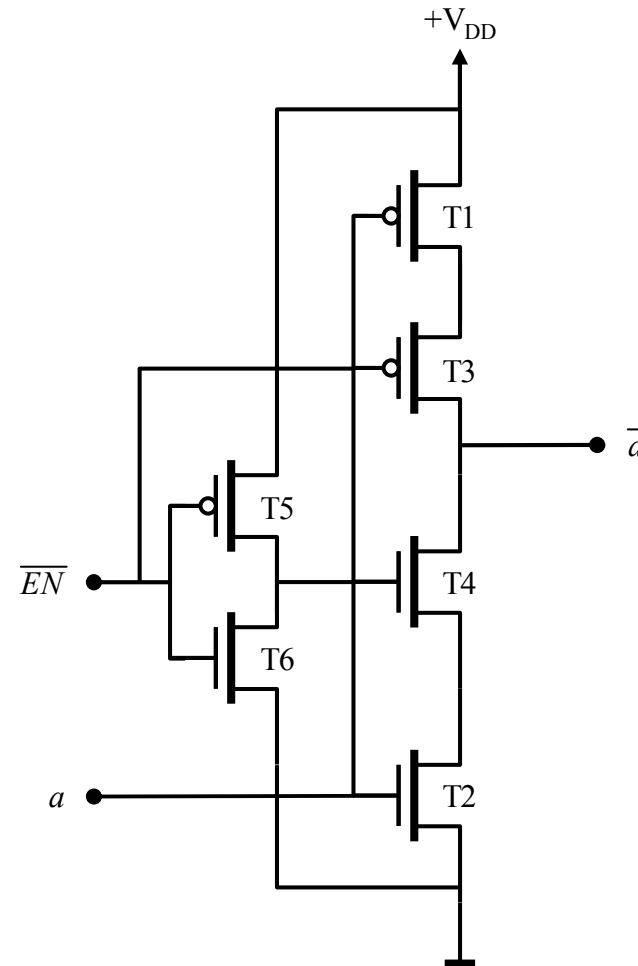
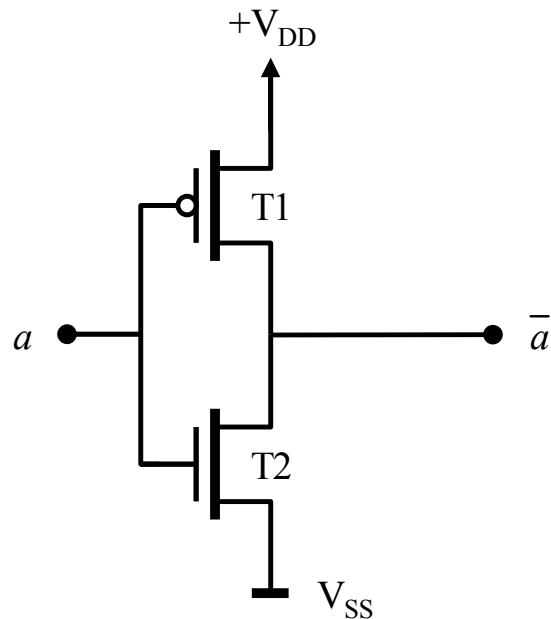
SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

**Esquema completo de un bus de información
implementado con puertas lógicas seguidoras
de salida triestado que pone de manifiesto su
complejidad**



PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

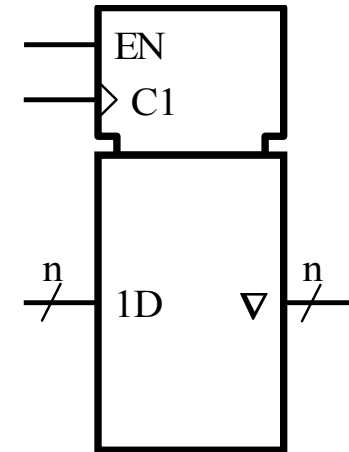


**Circuito de un inversor normal y un inversor
con salida triestado de tecnología CMOS**

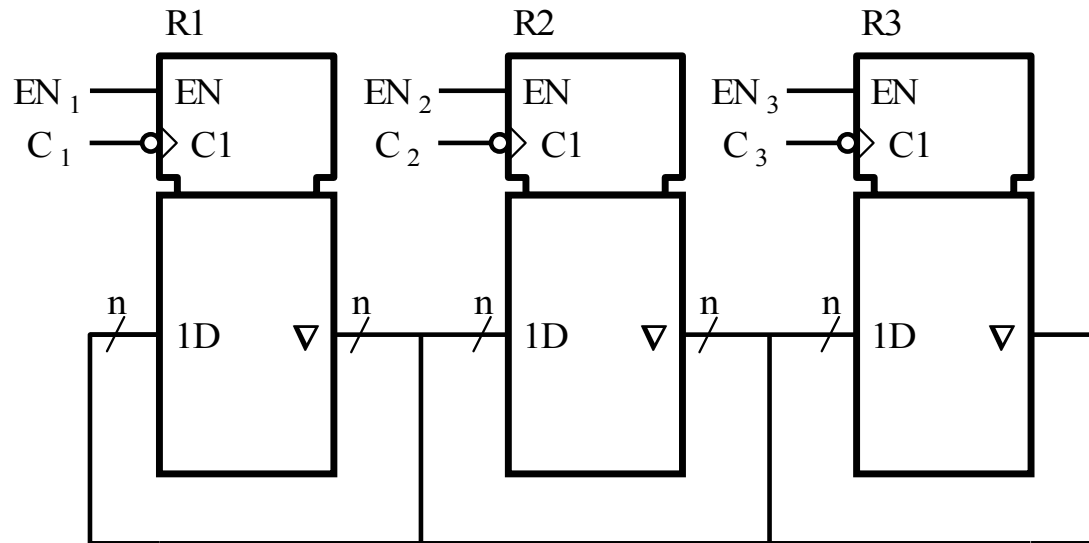
PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

Registro de salida triestado



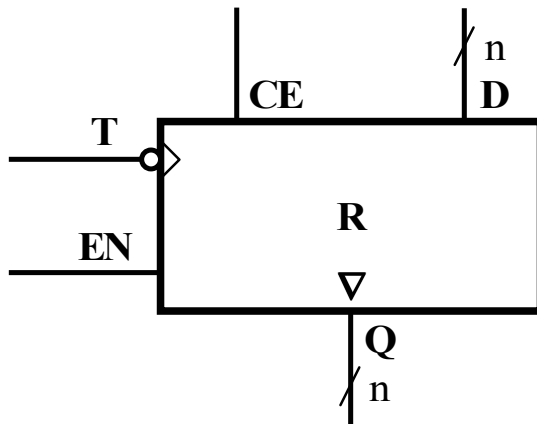
Registros de salida triestado conectados a un bus de información



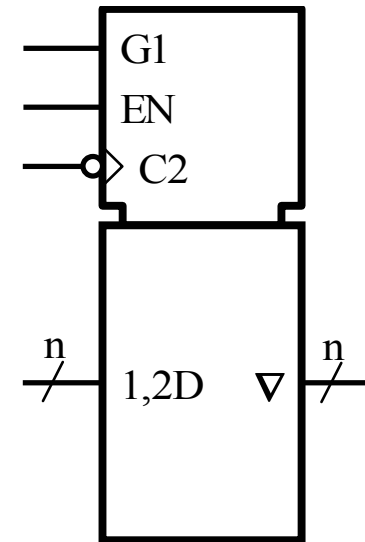
Barra (Bus) de información

PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA



Símbolo lógico no normalizado



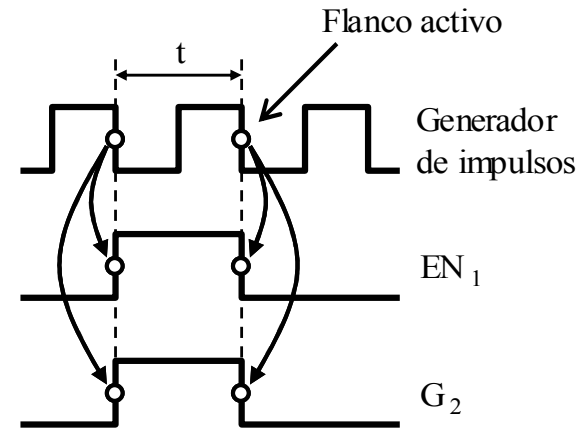
Símbolo lógico normalizado

Registro de salida triestado que posee un terminal de inhibición de la entrada de información

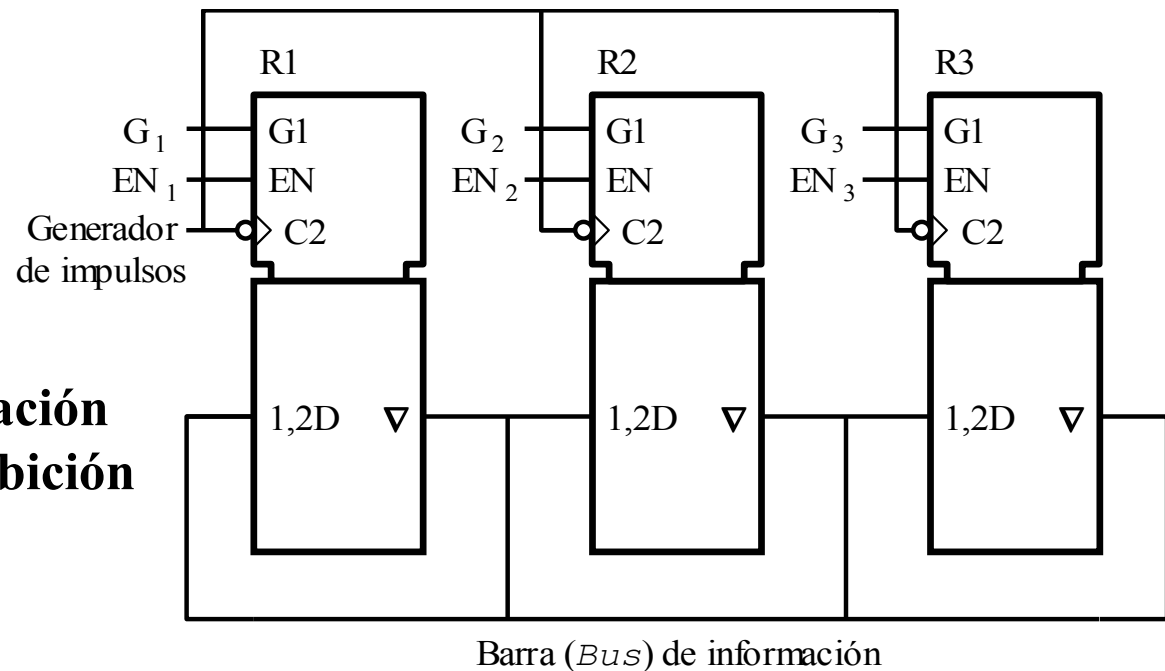
PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

Cronograma de las señales de control para (R1) → R2

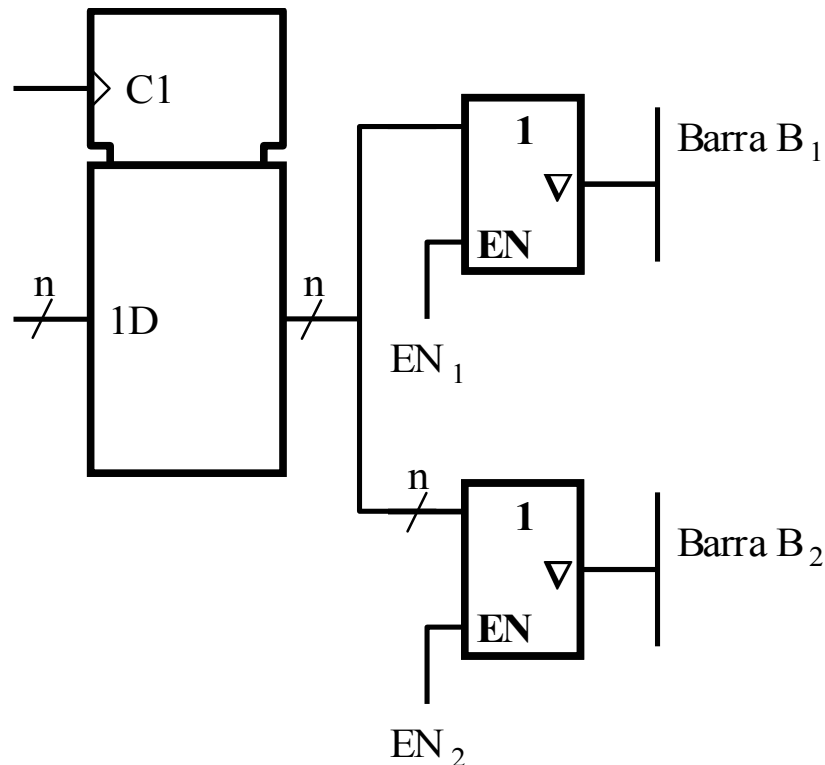


Registros de salida triestado conectados a un bus de información que poseen un terminal de inhibición de la entrada de información,

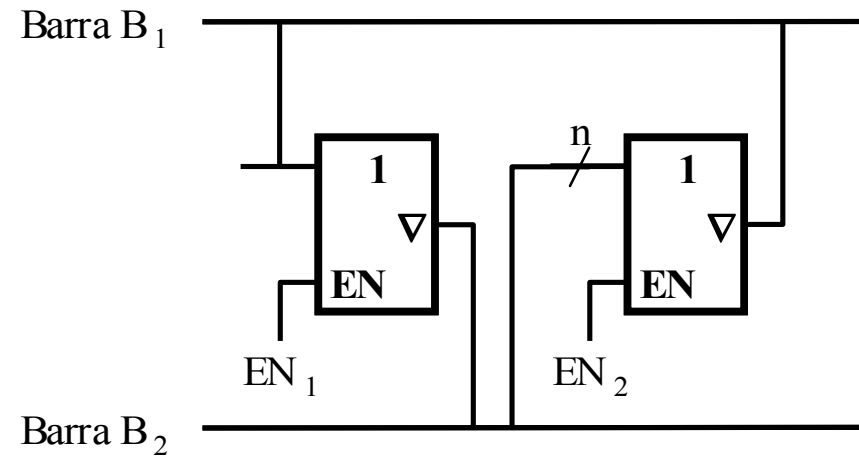


PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA



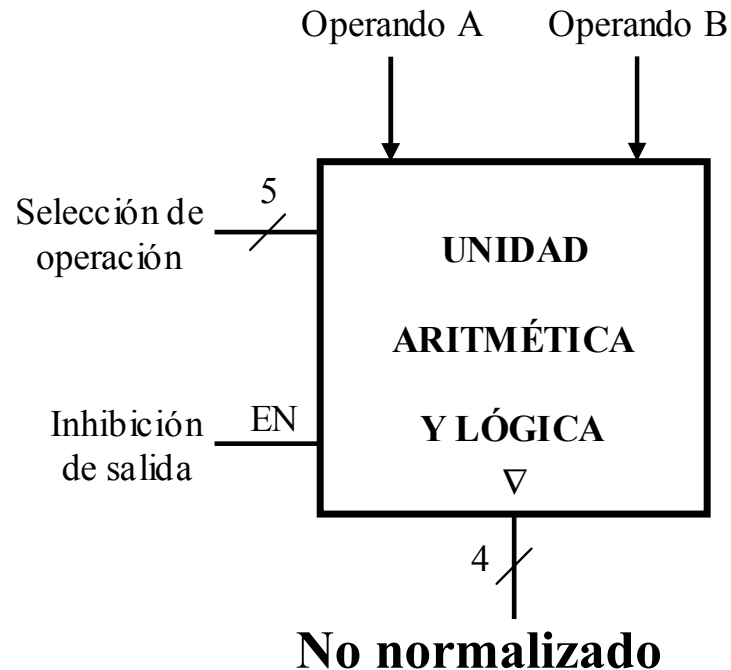
Registro conectado a dos buses de información



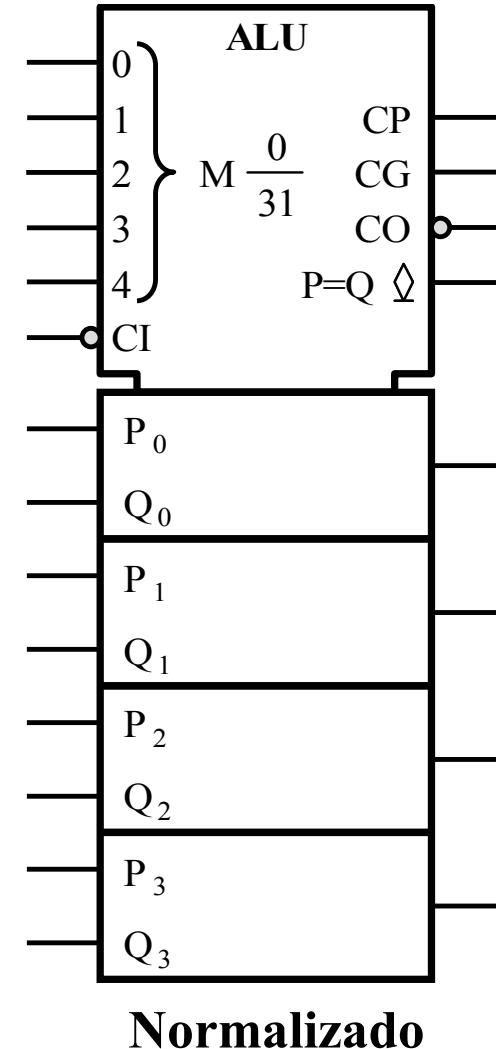
Buses de información interconectados a través de puertas lógicas seguidoras de salida triestado

PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA



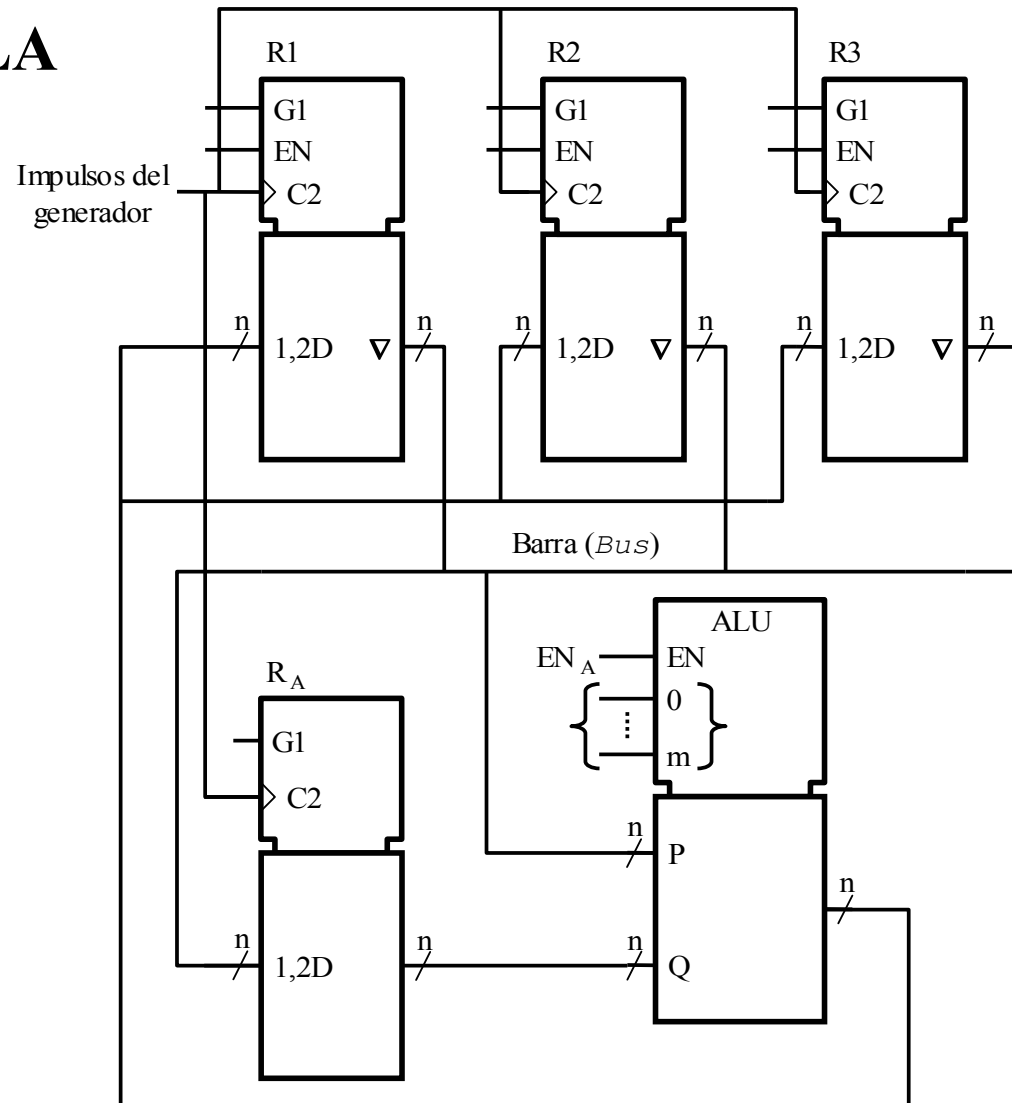
Símbolo lógico simplificado de una unidad aritmética y lógica de salida triestado



PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

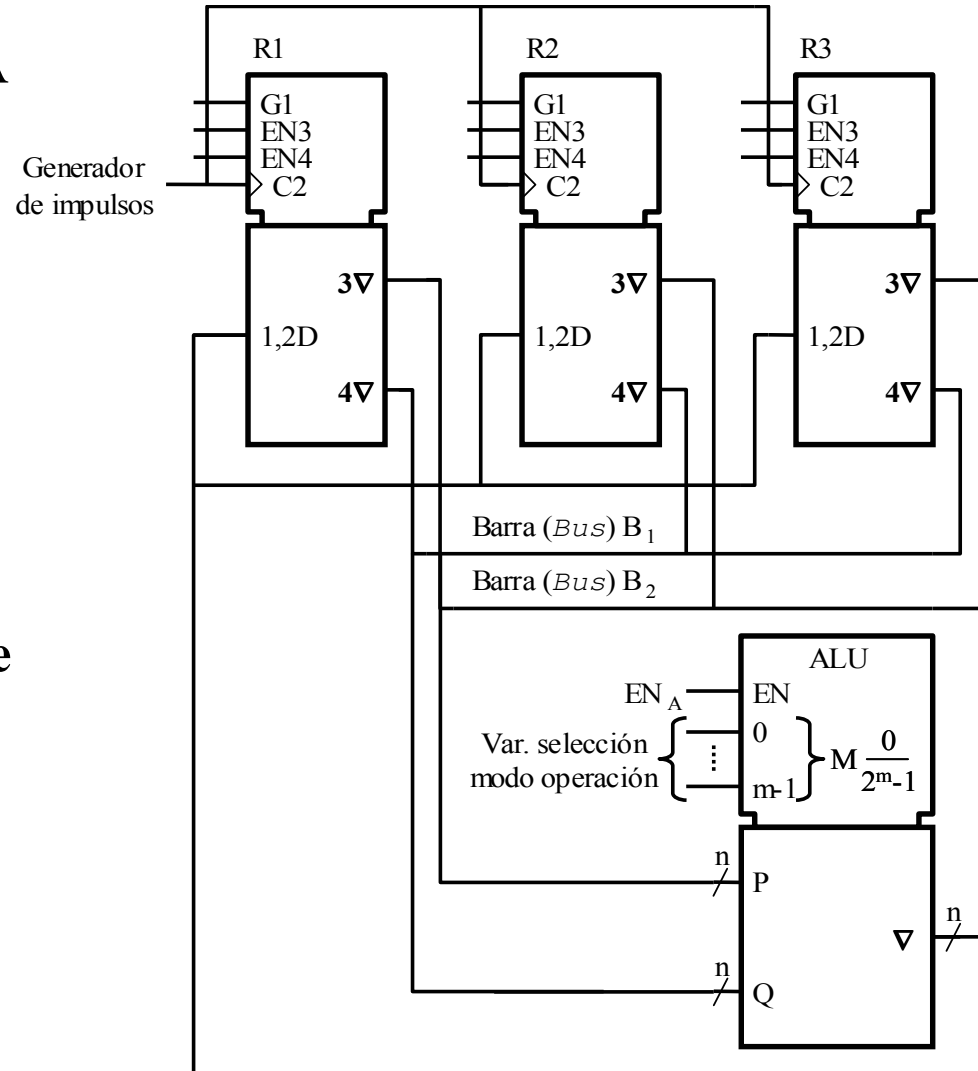
Unidad operativa de un solo bus



PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

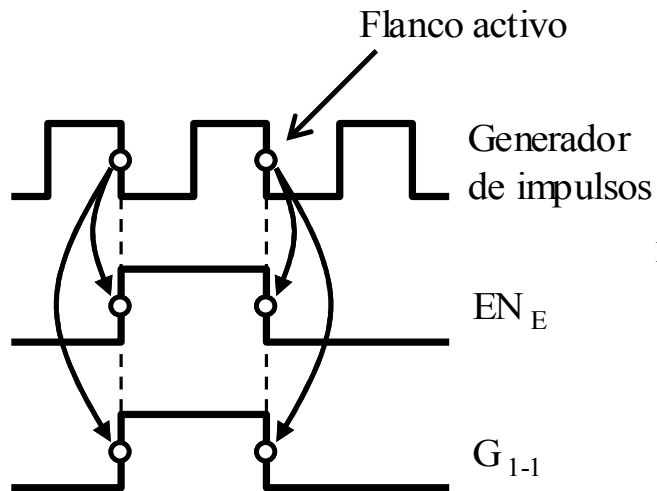
Unidad operativa de dos buses



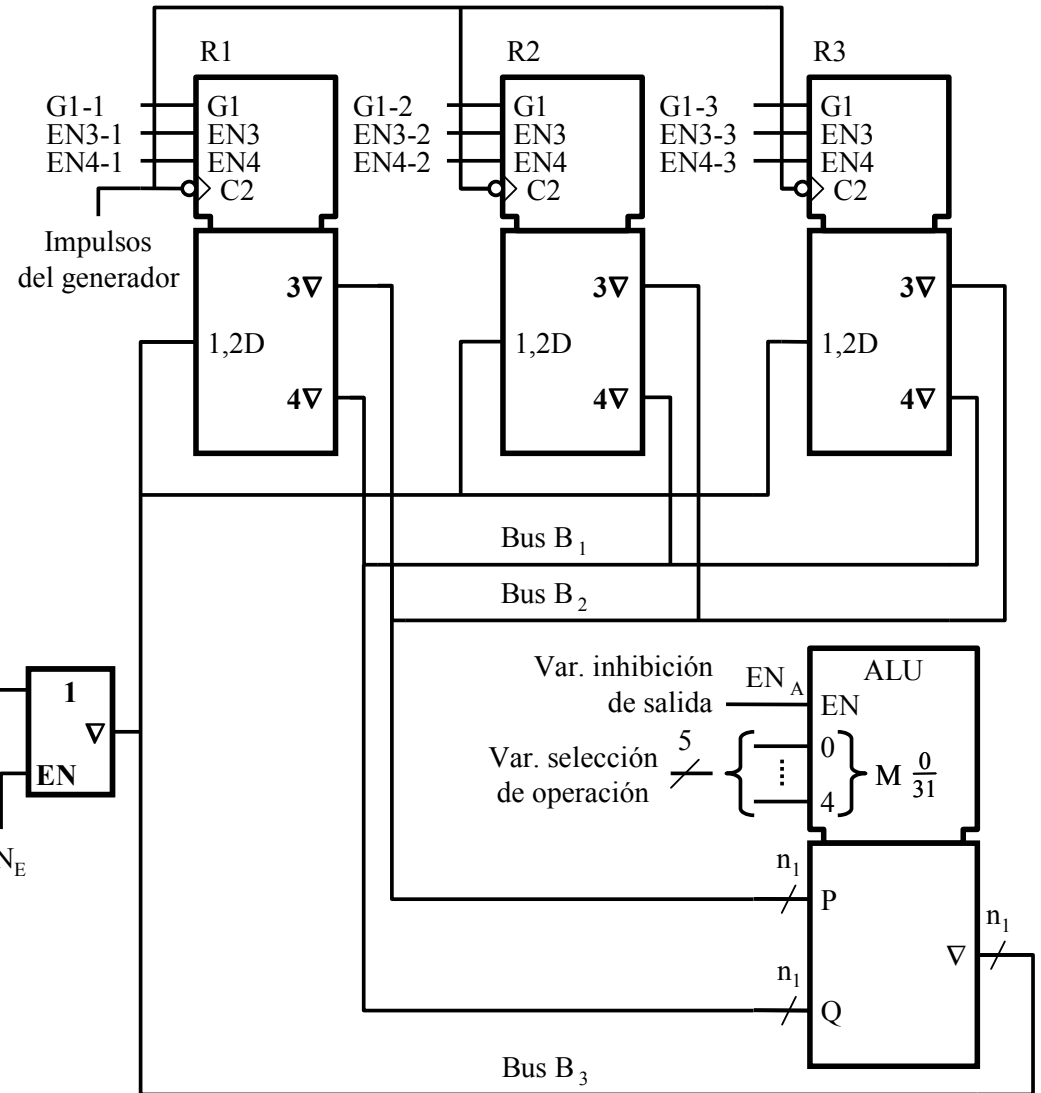
PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

Esquema de una unidad operativa con dos buses internos y uno externo

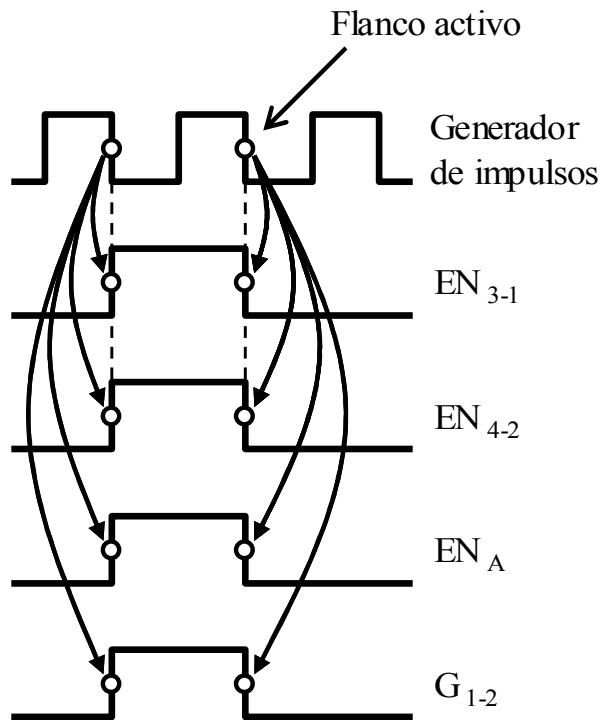


Cronograma de las señales para Inf. Externa → R1

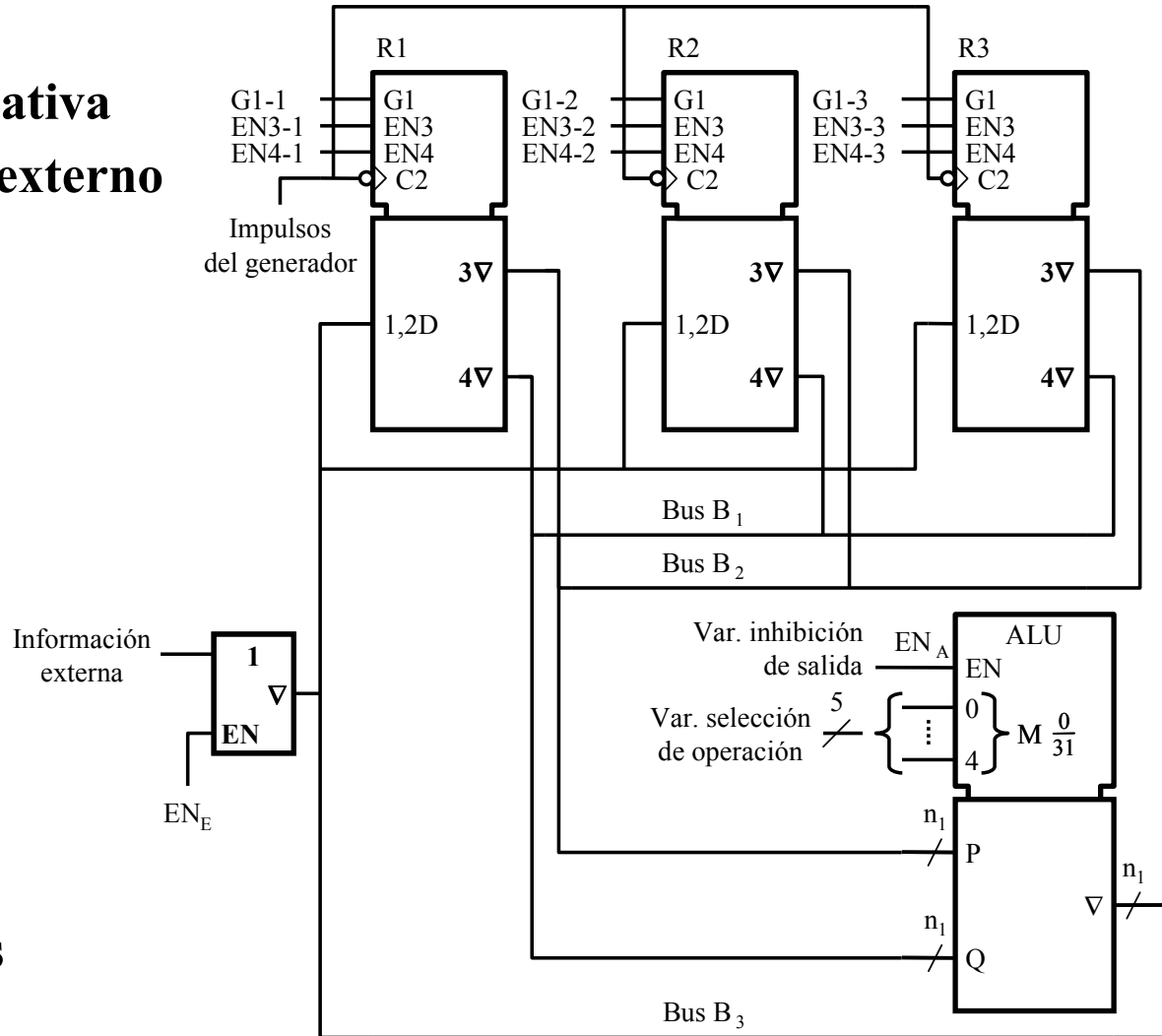


PROCESADORES DIGITALES SECUENCIALES SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

Esquema de una unidad operativa
 con dos buses internos y uno externo

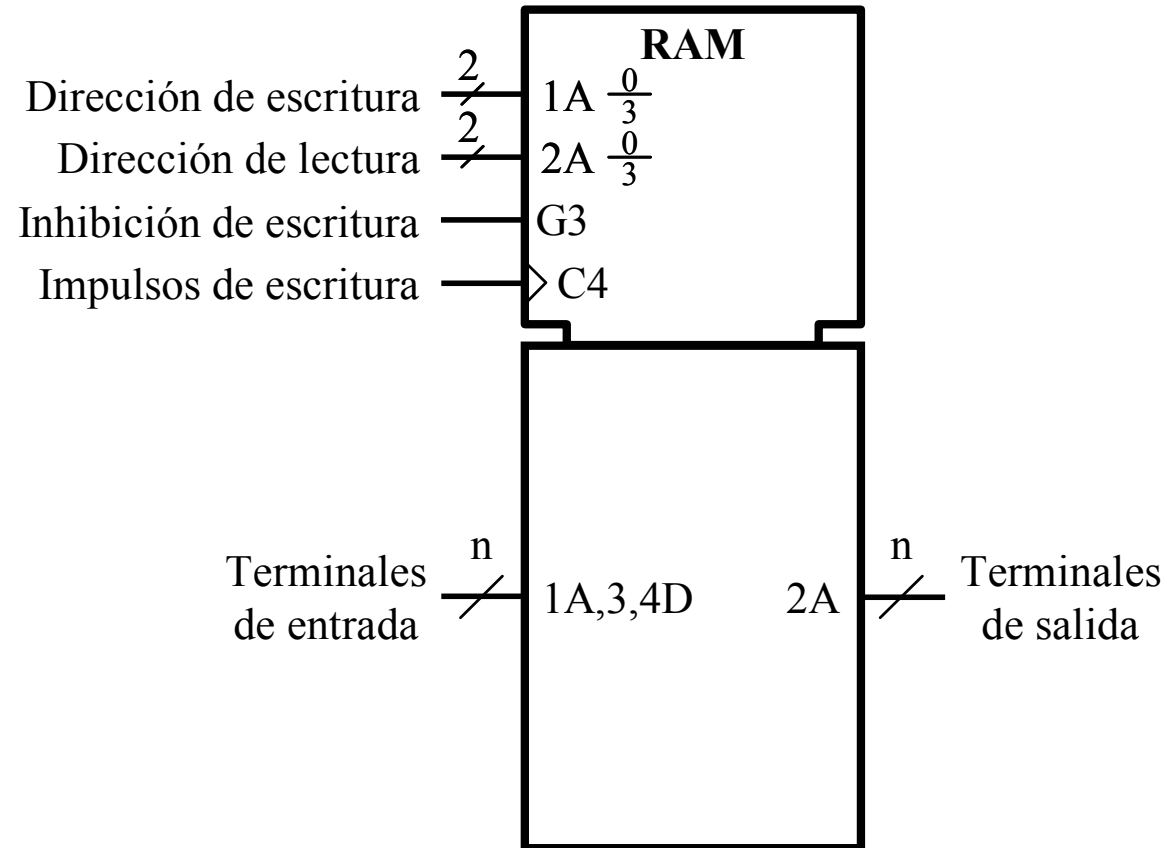


Cronograma de las señales
 para $(R1) * (R2) \rightarrow R2$



PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA



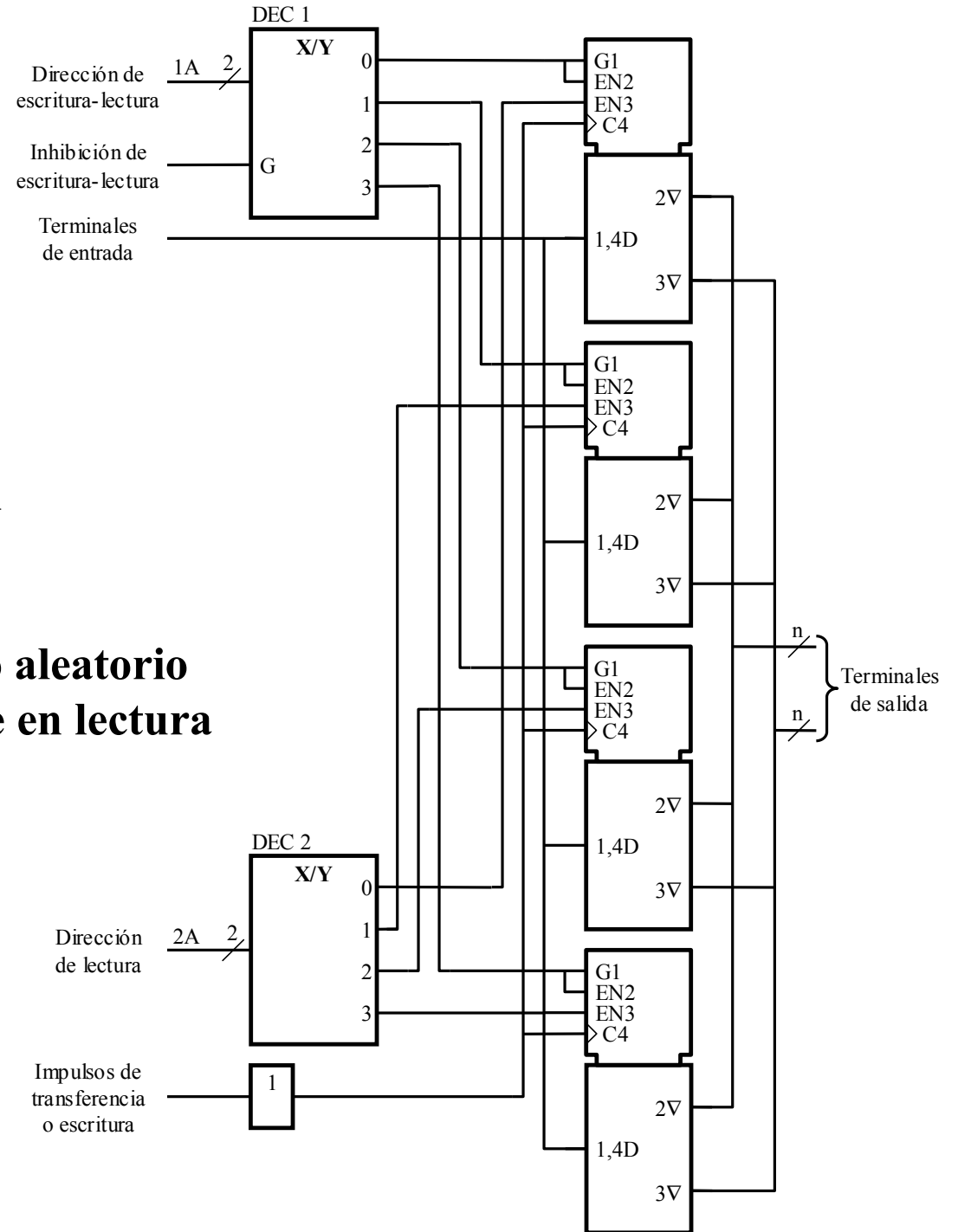
Bloque funcional unidad de memoria de acceso aleatorio activada por flancos de escritura y lectura simultáneas



PROCESADORES DIGITALES SECUENCIALES

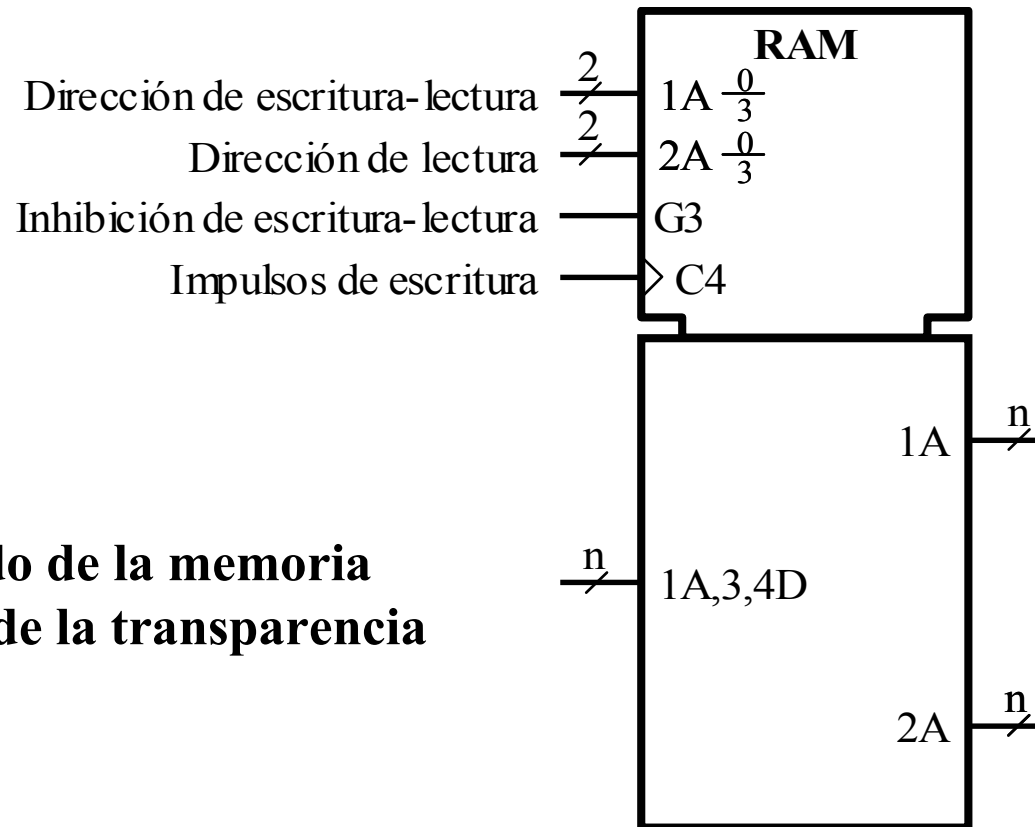
SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

Esquema de una memoria de acceso aleatorio activada por flancos de acceso doble en lectura y escritura simultáneas



PROCESADORES DIGITALES SECUENCIALES

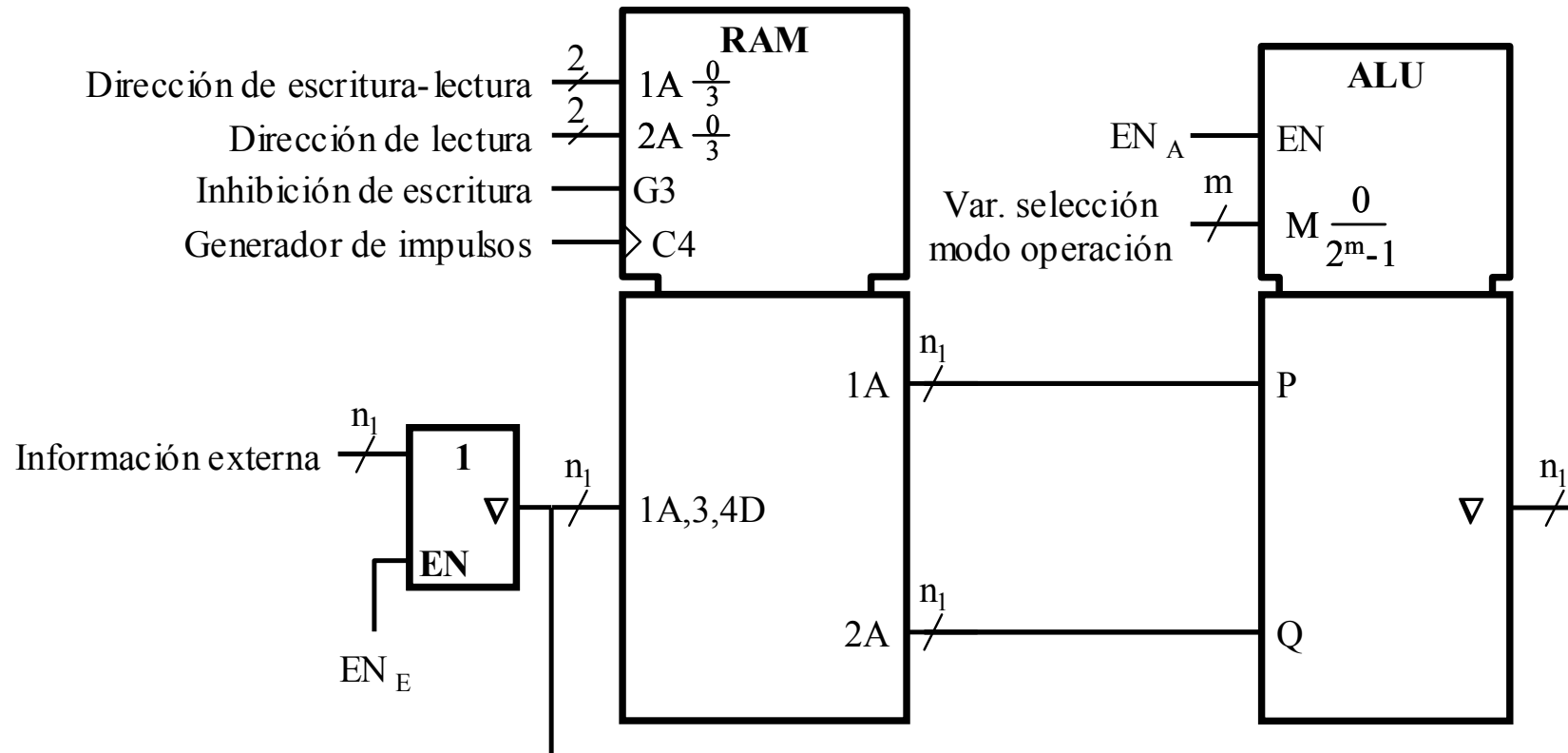
SISTEMA FÍSICO DE LA UNIDAD OPERATIVA



Símbolo lógico normalizado de la memoria de acceso aleatorio activa de la transparencia anterior

PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

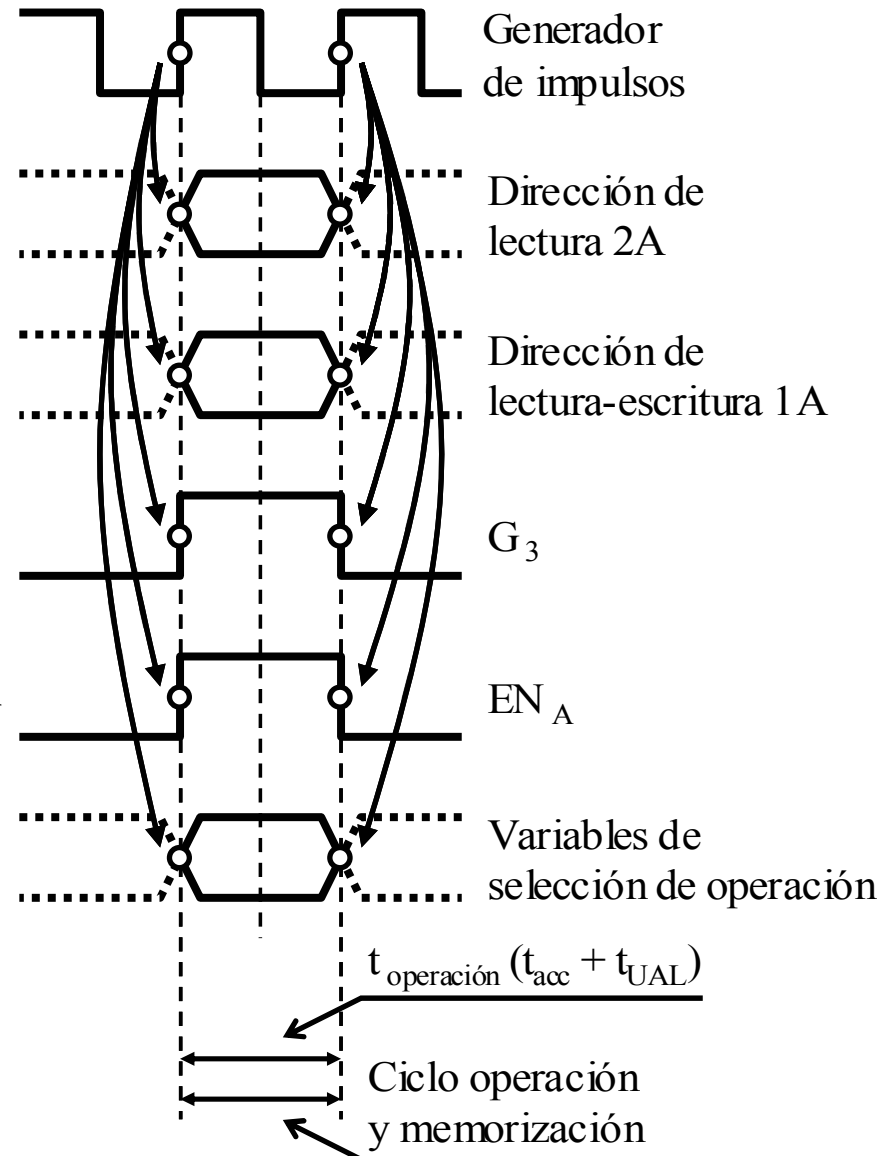


Esquema de una unidad operativa implementada con una memoria activada por flancos de acceso aleatorio doble en lectura y escritura simultáneas

PROCESADORES DIGITALES SECUENCIALES

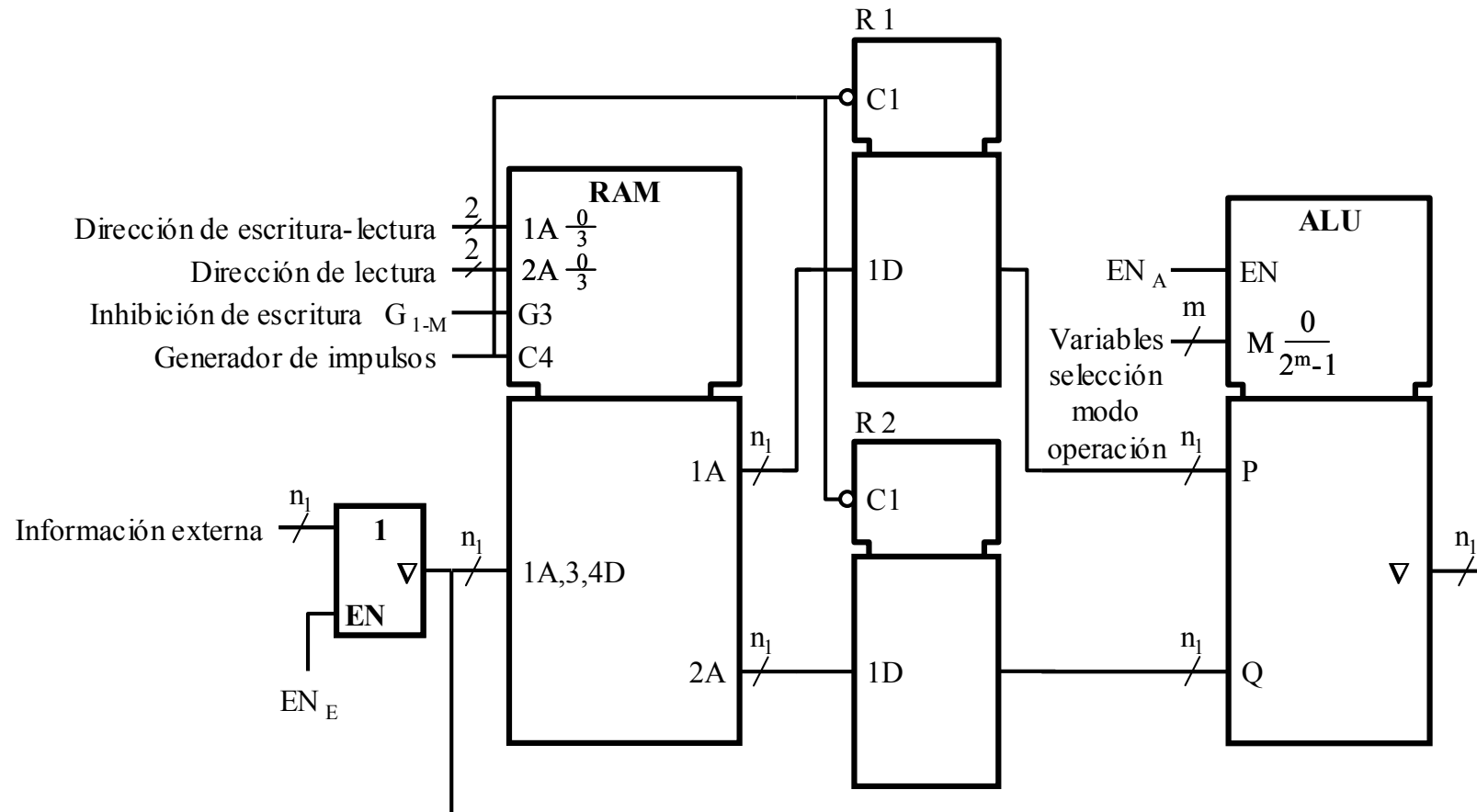
SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

Cronograma de las señales que se deben aplicar a la unidad operativa de la diapositiva anterior para que realice una operación con el contenido de dos posiciones de la memoria y almacene el resultado en una de ellas



PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

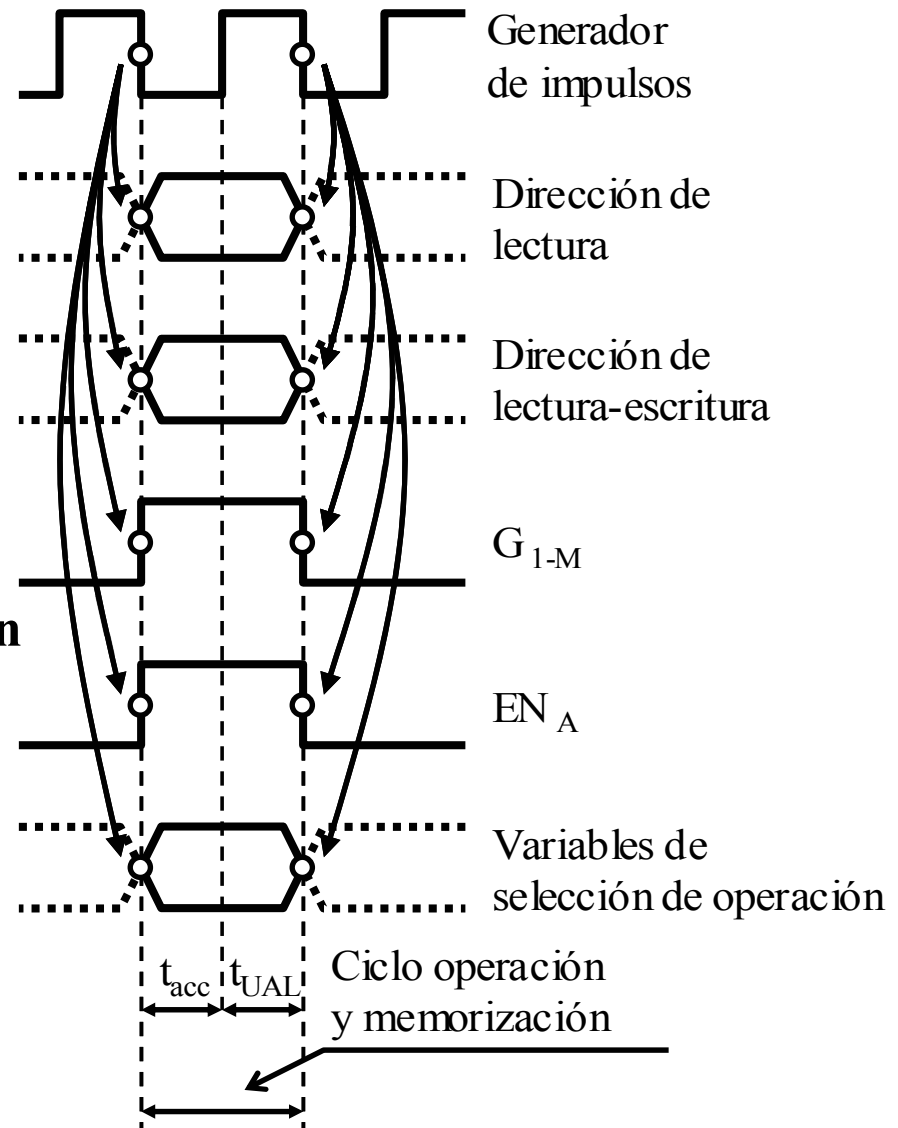


Esquema de una unidad operativa implementada con una memoria de acceso aleatorio activada por niveles de acceso doble en lectura y escritura simultáneas y dos registros activados por niveles

PROCESADORES DIGITALES SECUENCIALES

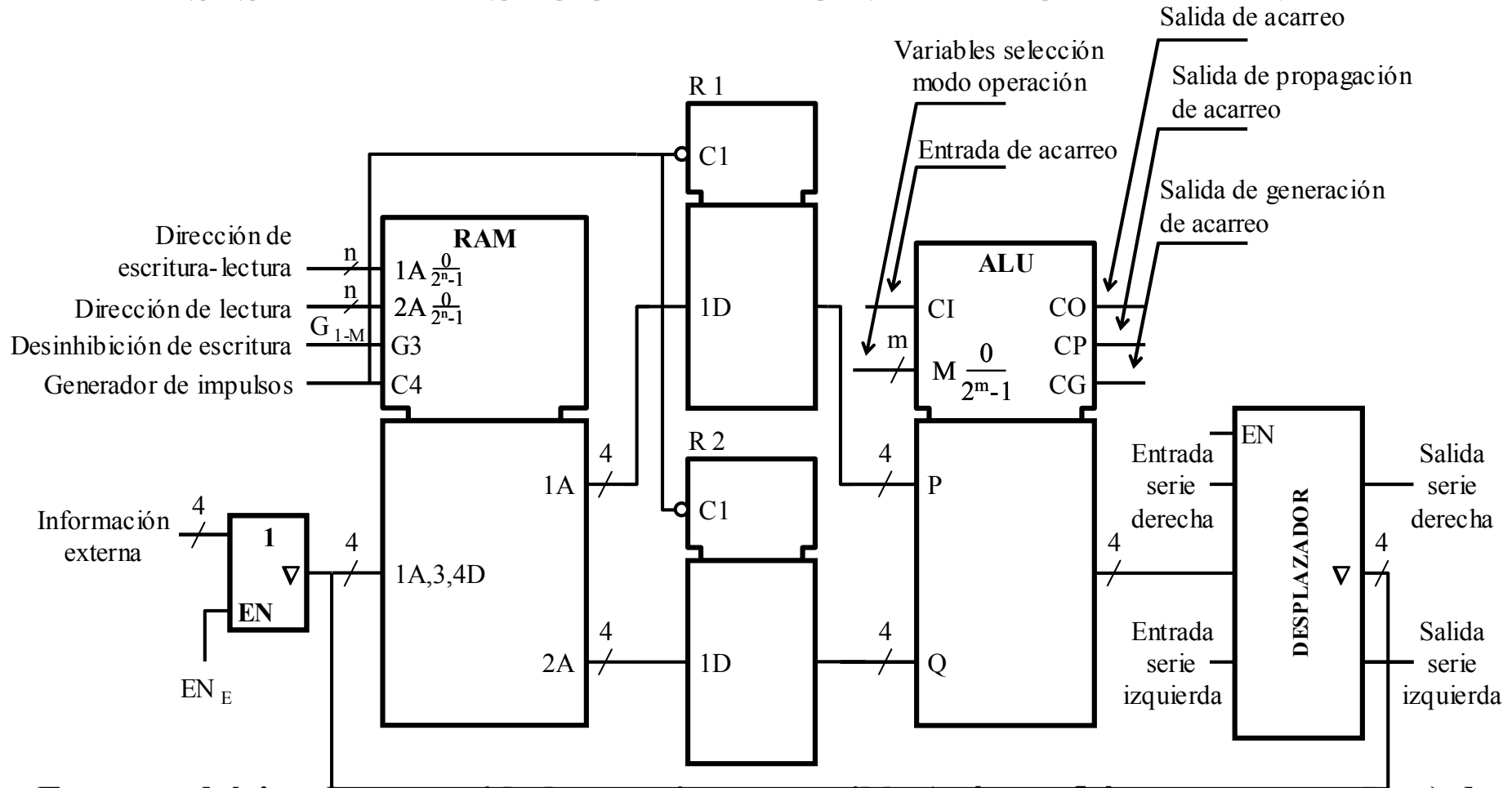
SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

Cronograma de las señales que se deben aplicar a la unidad operativa de la diapositiva anterior para que realice una operación con el contenido de dos posiciones de la memoria y almacene el resultado en una de ellas



PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA



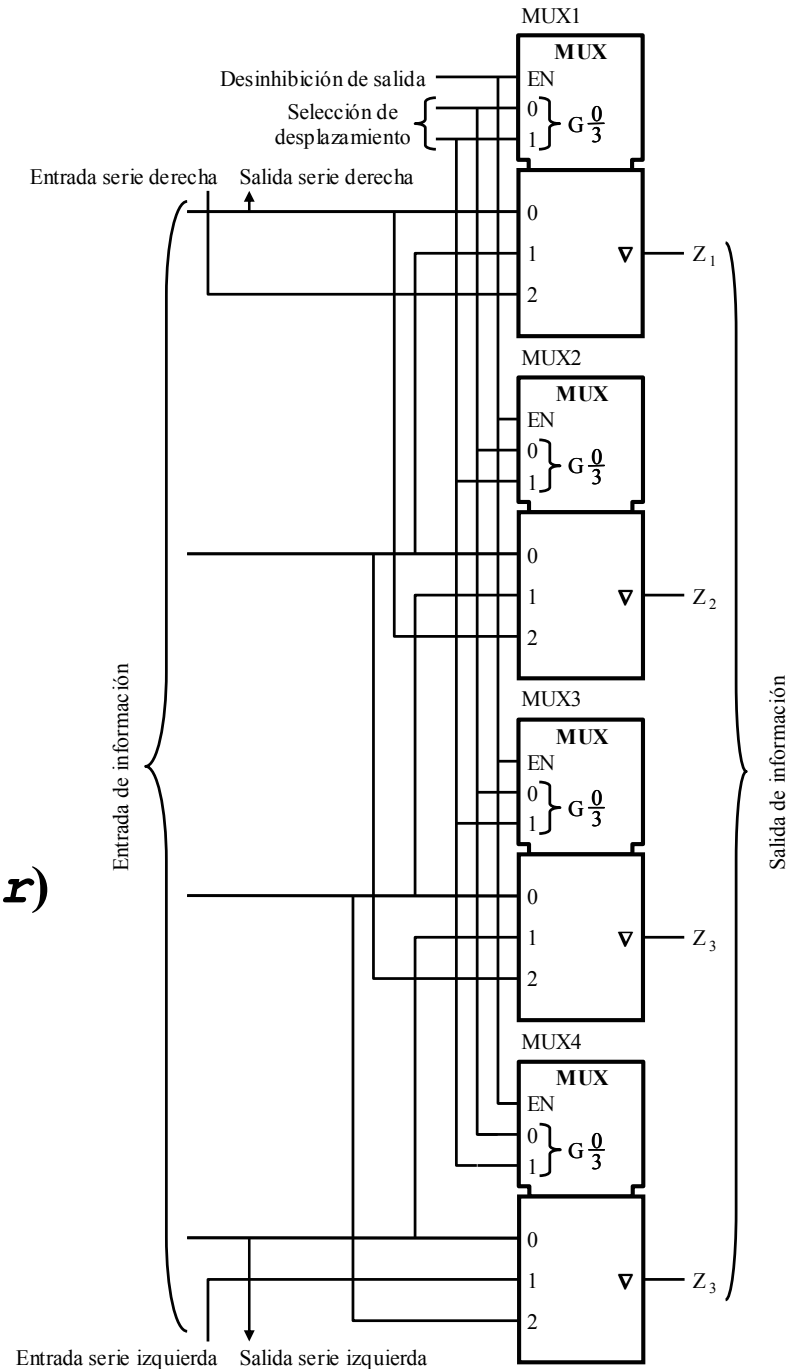
Esquema básico de una unidad operativa expansible (*Bit-slice processor*) de cuatro bits con circuito desplazador, realizada con símbolos normalizados



PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

Esquema de un circuito desplazador
combinacional (*Arithmetic shifter*)
de cuatro bits

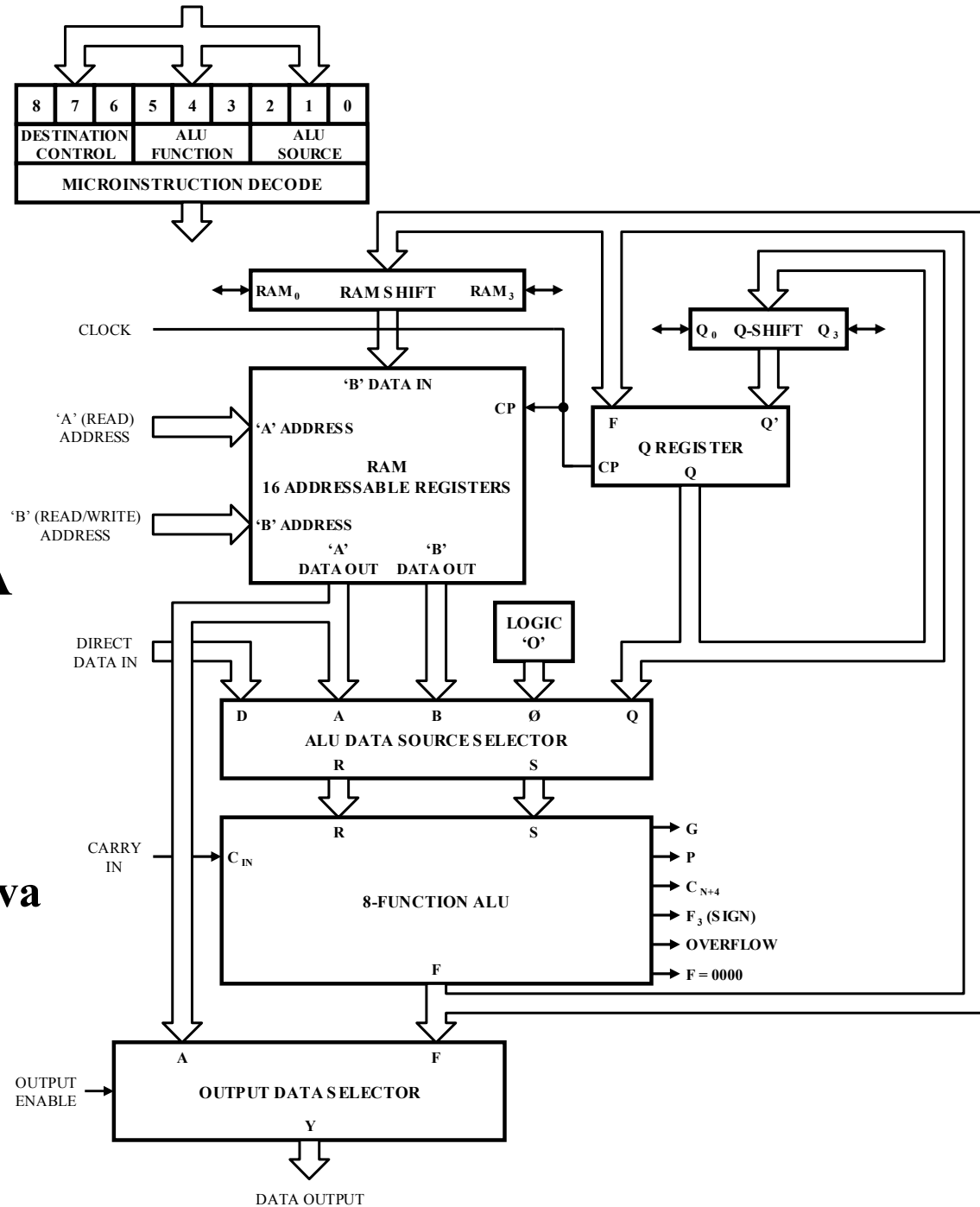




PROCESADORES DIGITALES SECUENCIALES

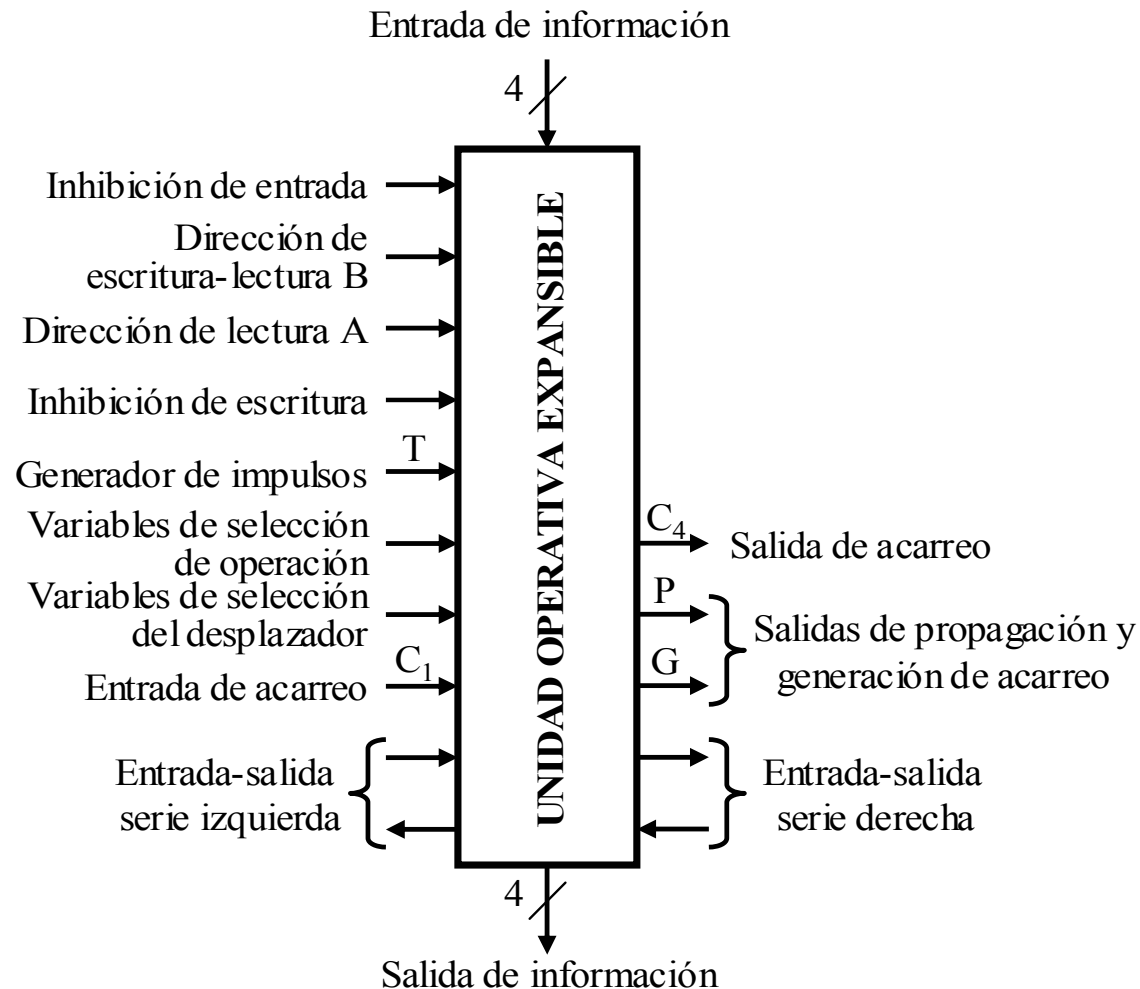
SISTEMA FÍSICO DE LA UNIDAD OPERATIVA

Esquema de la unidad operativa
2901 de AMD



PROCESADORES DIGITALES SECUENCIALES

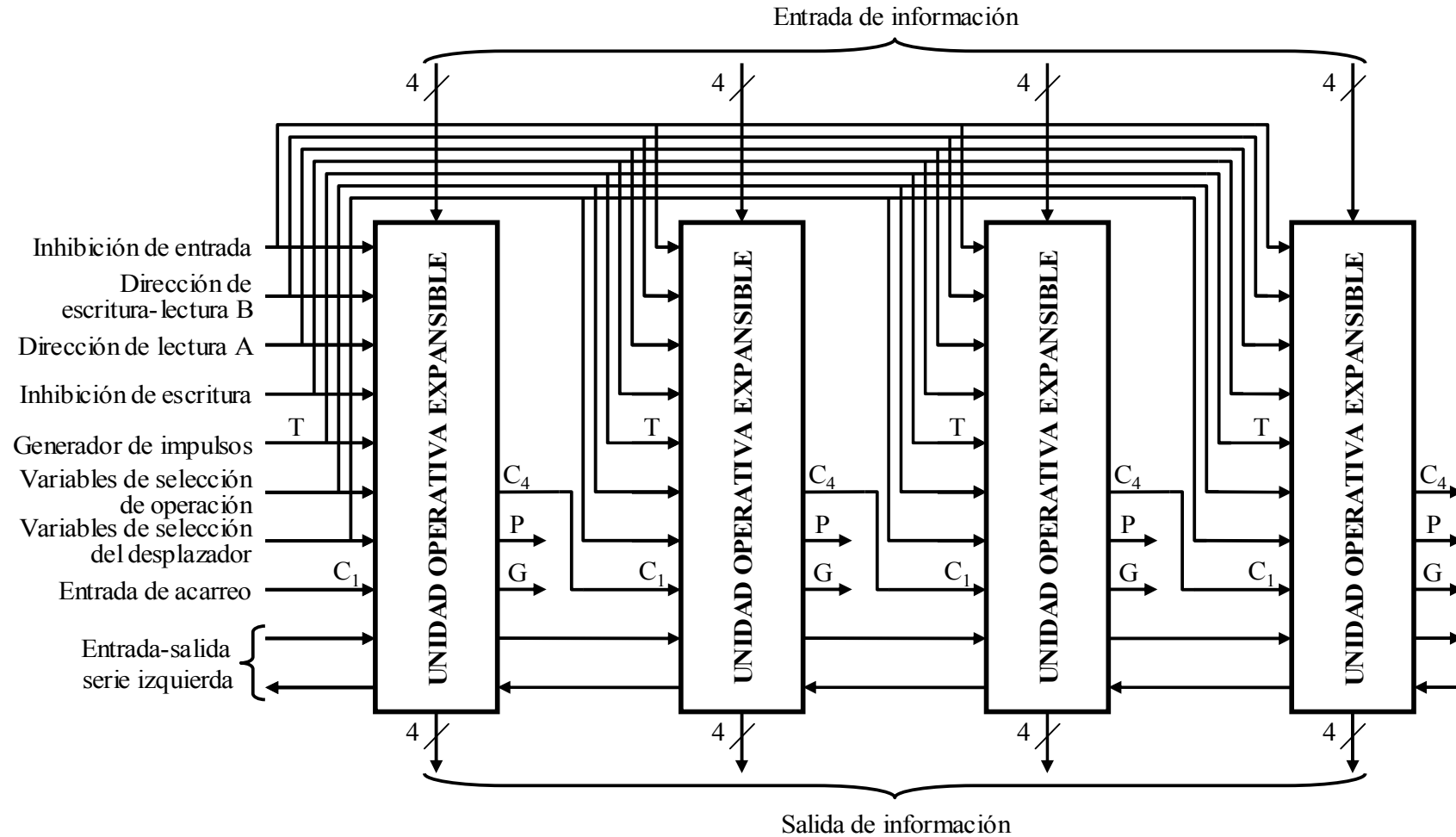
SISTEMA FÍSICO DE LA UNIDAD OPERATIVA



Símbolo lógico de una unidad operativa expansible de cuatro bits

PROCESADORES DIGITALES SECUENCIALES

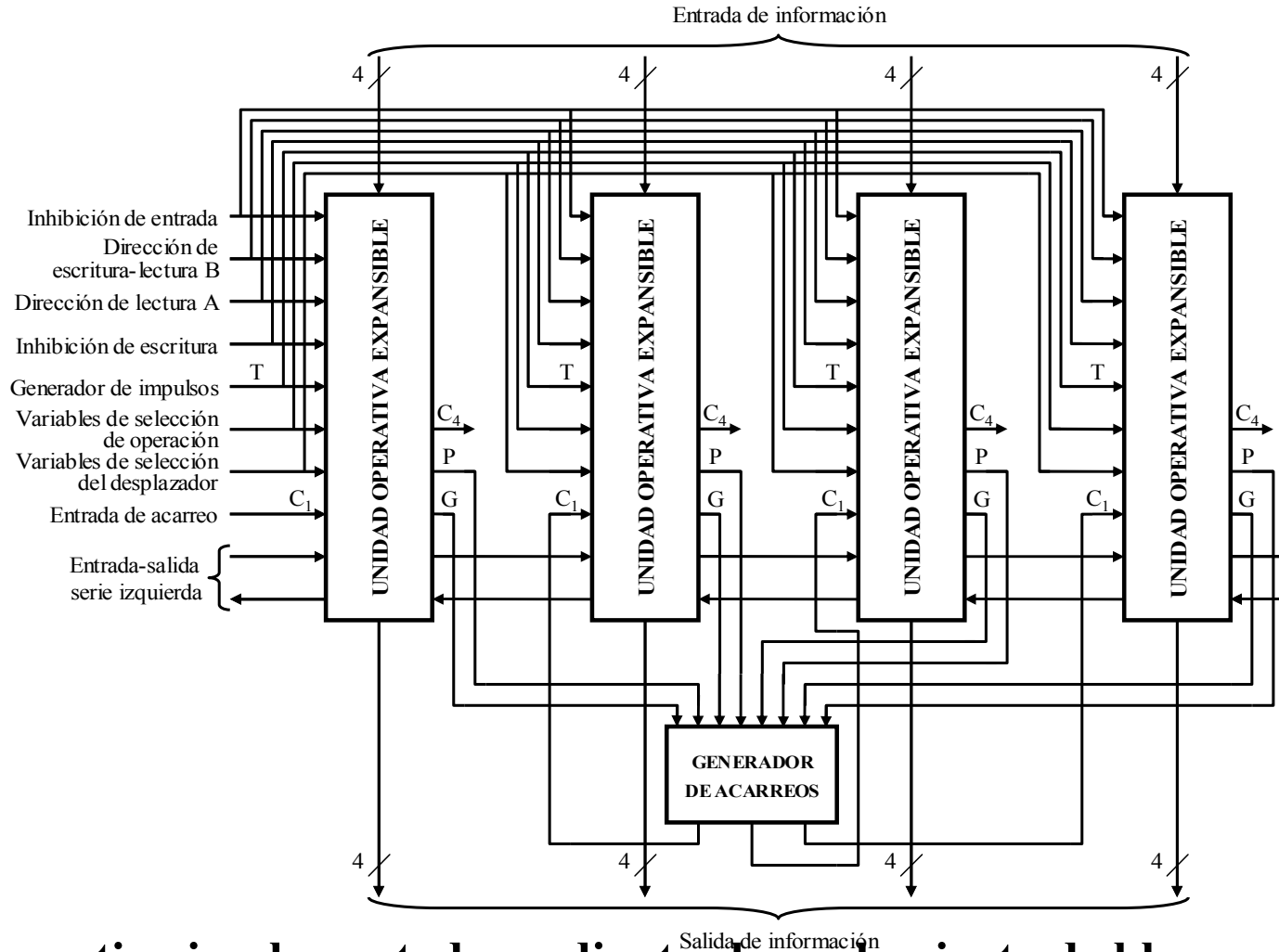
SISTEMA FÍSICO DE LA UNIDAD OPERATIVA



Unidad operativa implementada mediante el acoplamiento de bloques funcionales expansibles con propagación del acarreo en serie

PROCESADORES DIGITALES SECUENCIALES

SISTEMA FÍSICO DE LA UNIDAD OPERATIVA



Unidad operativa implementada mediante el acoplamiento de bloques funcionales con propagación del acarreo en serie